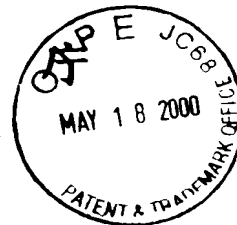


日 本 国 特 許  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月22日

出 願 番 号

Application Number:

特願2000-045034

出 願 人

Applicant (s):

シャープ株式会社

2000年 3月24日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦

出証番号 出証特2000-3019358

【書類名】 特許願

【整理番号】 99J03899

【提出日】 平成12年 2月22日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02F 1/133 550  
G02F 1/1343  
H01L 27/14

【発明の名称】 アクティブマトリクス基板、その製造方法、及び、該基板を用いたイメージセンサ

【請求項の数】 22

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 永田 尚志

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 和泉 良弘

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 島田 尚幸

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第 65520号

【出願日】 平成11年 3月11日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板、その製造方法、及び、該基板を用いたイメージセンサ

【特許請求の範囲】

【請求項 1】

格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、

上記走査線と信号線との交差部近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、

上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、

上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、

上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、

上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、

上記信号線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 3】

上記蓄積容量電極が透明電極膜であることを特徴とする請求項 1 または 2 記載のアクティブマトリクス基板。

【請求項 4】



上記スイッチング素子の上層を覆う絶縁膜を介して、上記画素電極と蓄積容量電極とが対向配置されていることを特徴とする請求項 1 ないし 3 のいずれか一項に記載のアクティブマトリクス基板。

【請求項 5】

上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されていることを特徴とする請求項 4 記載のアクティブマトリクス基板。

【請求項 6】

請求項 1 ないし 5 のいずれか一項に記載のアクティブマトリクス基板の製造方法であって、

上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターンニングすることにより形成する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 7】

請求項 1 ないし 5 のいずれか一項に記載のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴とするイメージセンサ。

【請求項 8】

格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、

上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、

蓄積容量の形成に供される蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において

上記蓄積容量は、上記画素電極と蓄積容量電極との間に形成され、かつ上記走査線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 9】

さらに、信号線と画素電極とが、同一の導電層をパターンニングすることにより形成されていることを特徴とする請求項 8 記載のアクティブマトリクス基板。

【請求項 1 0】

さらに、上記画素電極を最上層に配置する層間絶縁膜を備えていることを特徴とする請求項 8 記載のアクティブマトリクス基板。

【請求項 1 1】

格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、

上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、

上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、

上記走査線と画素電極とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 1 2】

さらに、信号線と蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていることを特徴とする請求項 1 1 記載のアクティブマトリクス基板。

【請求項 1 3】

上記導電層が、画素電極の画素開口部を被覆するようにパターンニングされていることを特徴とする請求項 1 2 記載のアクティブマトリクス基板。

【請求項 1 4】

格子状に配された複数の走査線および信号線により形成される画素領域毎に設けられた第 1 の画素電極と

上記走査線、信号線および第 1 の画素電極のそれぞれに接続されたスイッチング素子と、

上記第 1 の画素電極に接続された第 2 の画素電極と、

上記第 2 の画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と

該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備え、

上記走査線と第 2 の画素電極とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 1 5】

さらに、信号線と、第 1 の画素電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていることを特徴とする請求項 1 4 記載のアクティブマトリクス基板。

【請求項 1 6】

さらに、上記第 1 の画素電極とスイッチング素子とを接続する接続電極を備え、上記信号線と、接続電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていることを特徴とする請求項 1 4 記載のアクティブマトリクス基板。

【請求項 1 7】

上記導電層が、透光性を有していることを特徴とする請求項 1 5 または 1 6 記載のアクティブマトリクス基板。

【請求項 1 8】

さらに、上記スイッチング素子を被覆する保護膜を備え、

上記第 1 の画素電極と蓄積容量電極とが、上記保護膜を介して蓄積容量を形成していることを特徴とする請求項 1 4 記載のアクティブマトリクス基板。

【請求項 1 9】

さらに、上記第 1 の画素電極を最上層に配置する層間絶縁膜を備えていることを特徴とする請求項 1 4 または 1 8 に記載のアクティブマトリクス基板。

【請求項 2 0】

上記走査線に、陽極酸化が施されていることを特徴とする請求項 8 ないし 1 9 のいずれか一項に記載のアクティブマトリクス基板。

【請求項 2 1】

格子状に配された複数の走査線および信号線により形成される画素領域毎に画

素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板の製造方法において、

基板上に電極層を成膜し、該電極層のパターニングにより、走査線と画素電極とを形成する工程と、

ゲート絶縁膜を積層する工程と、

上記信号線、スイッチング素子、蓄積容量電極、蓄積容量共通配線を形成した後、保護膜を成膜する工程と、

上記ゲート絶縁膜および保護膜を同時にパターニングして、画素電極の開口部を形成する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法

。

#### 【請求項 2 2】

請求項 8 ないし 2 0 のいずれか一項に記載のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴とするイメージセンサ。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、例えば液晶表示装置やフラットパネル型イメージセンサ等に用いられるアクティブマトリクス基板に関するものである。さらには、該アクティブマトリクス基板を用いたイメージセンサに関するものである。

##### 【0 0 0 2】

#### 【従来の技術】

液晶表示装置等に用いられるアクティブマトリクス基板は、格子状に配置された複数の信号線と複数の走査線とからなる電極配線と、上記信号線と走査線とで囲まれた画素ごとに独立して設けられた画素電極、およびスイッチング素子等より構成されている。

##### 【0 0 0 3】

上記スイッチング素子は、二端子型のものであればそれぞれ、信号線（または走査線）および画素電極に、また、三端子型のものであればそれぞれ、信号線、走査線および画素電極に接続されている。そして、走査線に所定の電圧信号が入力されるとスイッチング素子がオンされ、信号線に入力された画像信号（電位）が各画素電極に書き込まれる。画素電極を選択駆動するスイッチング素子としては、三端子型のTFT（薄膜トランジスタ）素子、二端子型のMIM（金属-絶縁膜-金属）素子等が一般に知られている。

## 【0004】

スイッチング素子としてTFT素子（以下、単にTFTと称する）を用いて形成した液晶表示装置の一部であるアクティブマトリクス基板の画素は、図9ないし図11に示すように、格子状に配置された信号線101・101と走査線102・102とからなる電極配線と、上記信号線101・101と走査線102・102とで囲まれた画素領域に設けられた画素電極103、およびTFT104等より構成されている。

## 【0005】

尚、図10は、図9のF-F'線における断面図を示し、図11は、図9のG-G'線における断面図を示している。

## 【0006】

また、TFT104は、走査線102に接続されるゲート電極106、信号線101に接続されるソース電極107、および、画素電極103と、以下に述べる画素容量（蓄積容量）105aの一方の端子（透明電極層112）に接続されたドレイン電極108を有している。そして、上記の走査線102に走査信号が入力されるとTFT104が駆動され、信号線101に入力された画像信号（ビデオ信号）が、ソース電極107・ドレイン電極108を介して画素電極103に書き込まれる。

## 【0007】

上記のアクティブマトリクス基板において、画素電極103に書き込まれた画像信号を保持するための画素容量105aは、図11に示すように、ゲート絶縁膜110、並びにゲート絶縁膜110を介して対向配置された画素容量電極（蓄

積容量電極) 105 および透明電極層 112 により構成されている。画素容量電極 105 は、走査線 102 に平行な複数の画素容量 105a を接続する画素容量共通配線(蓄積容量共通配線)を兼ねており、液晶セルの構成とされた場合に対向基板(図示せず)上の対向電極と接続される。

#### 【0008】

上記アクティブマトリクス基板の製造工程は、図 12 (a) ~ (h)、並びに、図 13 (a) ~ (h) にも示すように、絶縁性の透明基板 109 上に、ゲート電極 106 および画素容量電極 105 を形成し、続いて、ゲート絶縁膜 110、半導体層 111、 $n^+$ -Si 層(ソース電極 107 およびドレイン電極 108 に相当)、透明導電層 112、金属層 113、保護膜 114、層間絶縁膜 115、画素電極 103 をなす透明導電層の順に積層・パターンニングされてなる。尚、TFT 104 のソース電極 107 に接続するように設けられた透明導電層 112 および金属層 113 は信号線 101 を構成する。

#### 【0009】

上記のアクティブマトリクス基板においては、画素電極 103 は、層間絶縁膜 115 を貫くコンタクトホール 116 を介して TFT 104 のドレイン電極 108 と接続される。一方、画素電極 103 と、信号線 101 および走査線 102 (図 9 参照) とは、層間絶縁膜 115 により互いに隔てられているため信号線 101 および走査線 102 に対して画素電極 103 をオーバーラップさせることが可能となる(図 9 および図 10 参照)。この様な構造によると、開口率の向上、信号線 101 および走査線 102 に起因する電界をシールドすることによる液晶の配向不良(ディスクリネーション)の抑制といった効果があることが知られている。

#### 【0010】

より簡単な形態として、層間絶縁膜 115 およびその上層の画素電極 103 の形成工程を省き、透明導電層 112 を画素電極として形成し、透明導電層 112 上に積層する保護膜 114 に、画素開口を大きく取る方法もまた一般的である。この構造では、上記の構造と比べて開口率では劣るものの、より短い工程でアクティブマトリクス基板を形成できるため、製造コストの面で有利である。

## 【 0 0 1 1 】

ところで、このように形成されたアクティブマトリクス基板は、液晶表示装置のみならずさまざまな用途に適用することができる。例えば具体的には、画素電極 1 0 3 上に、さらに、P I N 接合やショットキー接合をとる半導体積層素子を形成し、これをフォトダイオードとして機能させたフォトセンサを挙げることができる。これは、該ダイオードの他方の端子に所定の直流電圧（D C 電圧）を印加しておき、光が当たった部分だけダイオードの導通性が増し、各画素の画素容量（蓄積容量） 1 0 5 a に電位データとして蓄えられるというものである。

## 【 0 0 1 2 】

また、フォトダイオードの代わりに、光やエックス線等を直接電荷に変換する変換層を形成し、ここで発生した電荷を強電圧によって画素容量 1 0 5 a に蓄積し、これを順次読み出すタイプのセンサも考えられる。これは例えば、特開平 4 - 2 1 2 4 5 8 号公報に記述されているような形態をとるものであって、変換層において生成された電荷は画素容量 1 0 5 a に蓄積され、被写体の形態に応じてそれぞれの画素に電荷としてのデータ（電位データ）が保存される。これを例えば、液晶表示装置の場合と同様に、順次走査線 1 0 2 をスキャンすることにより、走査線 1 0 2 によって選択された画素の保有するデータがアクティブ素子（T F T 1 0 4 に相当）を介してデータ線（信号線 1 0 1 に相当）に読み出される。該データ線他端には、これらデータを信号として読み出すためのオペアンプ等の回路が設けられており、センサに映された物体が画像データとして取り出される。

## 【 0 0 1 3 】

上記例示のセンサの、フォトダイオードや光電変換層を形成する前の段階であるアクティブマトリクス基板部分に関しては、上記液晶表示装置の生産プロセスをそのまま展開して、画素容量 1 0 5 a の大きさやアクティブ素子の時定数等をセンサ用に最適化するだけで実現することができるため、生産にあたっては新たな設備投資等を必要とせず、安価に生産することが可能である。

## 【 0 0 1 4 】

【発明が解決しようとする課題】

例えば、コンピュータの表示素子（モニター）として用いられる液晶表示装置は、その取り扱える情報量として近年ますます多くを求められており、その要求を満たすために表示素子の大型化（表示部の大型化）は必須の要件となっている。また、コンピュータのモニターとしての用途のみならず、A V（Audio Visual）機器や産業機器等のモニターとしても大型液晶表示装置の需要は大きくなるばかりである。さらに、中小型の表示素子においても高精細化の需要はますます大きくなってきており、設計面でもかなりの困難が現実のものとなってきている。

## 【 0 0 1 5 】

図 9 ないし図 1 1 に基づいて具体的に説明すると、表示素子を大型化すればする程、信号線 1 0 1 や走査線 1 0 2 が長くなるので、該配線における信号遅延は無視出来なくなり、また、中小型の表示素子においても、狭ピッチのなかで高い開口率を確保しようとするばおのずと配線幅を細くせざるを得ず、その結果、配線（信号線 1 0 1、走査線 1 0 2）が高抵抗となって、やはり信号遅延が発生する。

## 【 0 0 1 6 】

そこで上記信号遅延を解消するためには、該配線の信号遅延性を決定する他のファクターである、配線間の静電容量を低減することが有効策として考えられる。しかしながら、信号線 1 0 1 と走査線 1 0 2 を隔てるゲート絶縁膜 1 1 0 は、同時に T F T 1 0 4 の特性を決定したり、画素容量 1 0 5 a を形成する役割も果たすため、該ゲート絶縁膜 1 1 0 の膜厚を薄くして単位面積当たりの静電容量を小さくする方法は安易に採用することができない。

## 【 0 0 1 7 】

センサ用のアクティブマトリクス基板は、液晶表示装置用のアクティブマトリクス基板よりもさらに厳しい要求水準を満たす必要がある。すなわち、上記説明の信号遅延性の問題に加えて、ノイズの問題が軽視できなくなる。図 9 ないし図 1 1 に基づき具体的に説明すると、画素からの信号読み出しの際に隣接画素（画素容量電極 1 0 5 を共有する画素）の信号に対応したノイズが画素容量電極 1 0 5 に重畳され、これが読み出し中の画素電極 1 0 3 との間の静電容量によって信号が画素間で相互に干渉しあうことで解像度が低下したり、もしくは画素容量電



極 1 0 5 と信号線 1 0 1 との間の静電容量が、信号線 1 0 1 へのノイズとして現れ、さらに信号検出用のアンプによって増幅されて正しいデータが得られなくなるという問題が起こる。また一般に、信号を精度良く取り出すために、より大きな電荷データを画素電位を上げすぎることなく蓄積することが行われるが、このためには画素容量値を大きくとることが有効である。しかしながら、画素容量値を大きくとることによって画素容量共通配線のインピーダンスが大きくなり、上記の問題がより顕著になるのである。

## 【 0 0 1 8 】

画素容量共通配線のインピーダンスを小さく抑えなければならない理由をより詳しく説明する。走査線と画素容量共通配線とを並行に配置した場合には、ある特定ラインの走査線を選択した瞬間に、その特定ラインにおける画素容量共通配線と容量結合した全画素分の負荷が、当該 1 本の画素容量共通配線にかかることになる。すなわち、画素に対し電荷を書き込む場合でも読み出す場合でも、特定ラインの走査線を選択した瞬間に、当該走査線および画素容量共通配線に対応する各画素の電位が一斉に変化するため、各画素と静電容量を形成する画素容量共通配線の電位は、本来の維持すべき電位に対して大きく揺動される。このように、画素容量共通配線の揺動する電位は、画素のデータ、すなわち画素の電位と干渉し合うことによって、クロストークを発生させる要因となる。

## 【 0 0 1 9 】

また、画素容量共通配線が多数の信号線と交差し、容量結合されていると、画素容量共通配線の揺動する電位は、信号線を通る信号にも悪影響を与える。特に、液晶表示装置のように、多数の信号線が高周波数で交流駆動される場合、信号線を通る信号が、画素容量共通配線の揺動する電位から受ける影響は大きくなる。

## 【 0 0 2 0 】

したがって、画素の電位や信号線を通る信号に悪影響を及ぼさないように、画素容量共通配線の電位が安定した状態を保つためには、画素容量共通配線を抵抗値の小さい材料で形成するなどによって、画素容量共通配線のインピーダンスを極めて小さい値に抑える必要がある。

## 【0021】

そこで、画素容量共通配線を通常のように走査線と平行して配置するのではなく、信号線と平行するように配置する構造が考えられた。例えば、SID 98 DIGEST: pp371-374 (SID: Society for Information Display)に開示されているX線センサ用のアクティブマトリクス基板の構成は、図14および図15に示すように、格子状に配設された信号線201および走査線202に囲まれて画素が形成され、さらに、画素電極203と画素容量電極205とがゲート絶縁膜210bを介して対向した構造によりなる画素容量 $205a \cdot 205a$ が画素毎に形成されている。また、画素容量共通配線205bは、信号線201と平行に配設されている。

## 【0022】

上記の構成によれば、信号線201と画素容量共通配線205bとが交差部を持たないため、信号線201にかかる静電容量（負荷容量）を低減することができ、また、画素容量共通配線205bのインピーダンスも低減することができる。その結果、信号線201における信号遅延性の問題を大きく改善することができると共に、表示装置においてしばしば問題となるクロストークの発生を防止することができる。また、センサ用のアクティブマトリクス基板として用いる場合には、隣接画素のデータによるノイズによって、解像度が低下する現象を防ぐことができる。より具体的には、走査線202により、あるライン（即ち、TFT 204をオンする走査信号が入力された走査線202に平行な画素の並び）が選択されているときに、画素容量共通配線205bに生ずるノイズは、信号線201と平行した方向に伝播することはあっても、同一走査線202上の画素方向には伝播しないため、同時に選択されている画素を通じて読み出されるデータへの悪影響は生じない。

## 【0023】

しかしながら、上記構成のアクティブマトリクス基板を製造するためには、図12(a)～(h)および図13(a)～(h)にて示したアクティブマトリクス基板の製造工程と比較して、画素容量共通配線205bを形成するまでの、走査線202の形成工程（図12(a)、図13(a)の工程に相当）とゲート絶

縁膜 2 1 0 b の形成工程（図 1 2（b）、図 1 3（b）の工程に相当）との間に、余分な工程が必要となる。具体的には、a）ゲート絶縁膜 2 1 0 b を挟んで、画素電極 2 0 3 と対向するように設けられる画素容量電極 2 0 5 としての透明電極膜の形成工程（成膜、フォトリソグラフィ、エッチング工程）、b）上記画素容量電極 2 0 5 を形成する前の下層ゲート絶縁膜 2 1 0 a の形成、および、c）金属配線よりなる画素容量共通配線 2 0 5 b と画素容量電極 2 0 5 とのコンタクト部分 2 0 5 c を設けるための、ゲート絶縁膜 2 1 0 b の成膜・フォトリソグラフィ・エッチング工程である。さらに、上記ゲート絶縁膜 2 1 0 b に対するパターニングは画素毎に行われる必要があるため高いパターニング精度が要求され、高価なフォトマスクと綿密な露光条件やエッチング条件の管理とが必要となる。

#### 【 0 0 2 4 】

また、T F T 2 0 4 を保護するための保護膜（例えば、図 1 0 における、保護膜 1 1 4 に相当するもの）が形成されていないが、デバイス（X 線センサ等）の信頼性を向上させるためには、通常有機膜で構成される層間絶縁膜 2 1 5 と T F T 2 0 4 との間に無機の保護膜を配置することが望ましく、実際に、従来のデバイスに用いられるアクティブマトリクス基板では、窒化珪素などの無機膜が配置されている。したがって、ゲート絶縁膜 2 1 0 b 形成完了後の工程数は、図 9 に示す従来のものとほぼ同じであると言える。

#### 【 0 0 2 5 】

したがって、画素容量電極 2 0 5 となる透明電極膜の成膜・パターニング工程、および、ゲート絶縁膜 2 1 0 b の成膜・パターニング（エッチング）工程の増加、並びに、ゲート絶縁膜 2 1 0 b のパターニングの精度の分だけコスト高を招来することとなる。また、量産性との兼ね合いから、中小型の設計ルールが比較的簡単なアクティブマトリクス基板の製造においては、このような工程増加を伴うプロセスを用いるメリットはなく、同一の生産ラインでありながらアクティブマトリクス基板のサイズによってプロセスをかえて生産しなければならないという、ラインの生産性を低下させる新たな問題が生じる。

#### 【 0 0 2 6 】

また、図 1 0 および図 1 1 に示す構成のように、画素容量電極 1 0 5 がゲート絶縁膜 1 1 0 の下層に形成されている場合には、前述したように、層間絶縁膜 1 1 5 およびその上層の画素電極 1 0 3 の形成工程を省き、透明導電層 1 1 2 を画素電極として形成する簡便な方法を採用することができるのに対し、図 1 4 および図 1 5 に示す構成のように、画素容量共通配線 2 0 5 b がゲート絶縁膜 2 1 0 b の上層に形成されている場合には、上記のような簡便な方法を採用することができない。

## 【 0 0 2 7 】

さらに、図 1 4 および図 1 5 に示すアクティブマトリクス基板では、 $2\mu\text{m}$ 以上の厚みで成膜した層間絶縁膜 2 1 5 (ポリマー)に、補助容量の形成に必要な大きさの貫通穴を形成している。このようなアクティブマトリクス基板を液晶表示装置に適用した場合、画像表示にとって重要な部分(透過型液晶表示装置の場合には光透過部分)に設けた該貫通穴が、液晶の配向を乱す結果となるので、コントラストの低下といった表示品位上の重大な問題を引き起こすおそれがある。

## 【 0 0 2 8 】

一方、特開平 3 - 2 8 8 8 2 4 号公報には、トップゲート構造(正スタガー構造)の T F T をスイッチング素子とするアクティブマトリクス基板において、層間絶縁膜の上層に画素電極を配置して、高開口率化を図ると共に、補助容量配線を信号線に平行に配置する構成が開示されている。また、T F T の半導体層および容量用下部電極を多結晶シリコン薄膜のパターニング等で形成し、ゲートバス配線、ゲート電極および容量用上部電極も多結晶シリコン薄膜のパターニング等で形成し、補助容量は、容量用下部電極と容量用上部電極とを絶縁膜を介して対向させることによって形成されている。

## 【 0 0 2 9 】

しかしながら、このような構成は、アモルファスシリコン型 T F T を備えたアクティブマトリクス基板に適用することができない。なぜなら、多結晶シリコン薄膜をアモルファスシリコン薄膜に置き換えることによって、容量用下部電極と容量用上部電極との少なくとも一方をアモルファスシリコンで形成すると、安定した容量特性が得られなくなるためである。より具体的には、アモルファスシリ

コンが多結晶シリコンより導電率が低く、しかも電圧によって容量が変動しやすいからである。

【 0 0 3 0 】

また、アモルファスシリコン型 T F T を備えたアクティブマトリクス基板には、正スタガー構造ではなく、逆スタガー構造を採用する方が、アクティブマトリクス基板に照射される光に起因した、T F T のリーク電流発生を抑えやすい。

【 0 0 3 1 】

本発明は、上記問題点を解決するためになされたものであって、その目的は、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板、およびその製造方法を提供することにある。さらには、該アクティブマトリクス基板を用いてなるイメージセンサを提供することにある。

【 0 0 3 2 】

【課題を解決するための手段】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、上記走査線と信号線との交差部近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴としている。

【 0 0 3 3 】

上記の構成によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加（ひいてはアクティブマトリクス基板の製造コストの増加）を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。

【 0 0 3 4 】

より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが

直交するもの)の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

## 【0035】

また、上記構造のアクティブマトリクス基板を用いて、例えば液晶表示装置やイメージセンサ等のデバイスを構成すれば、信号線が交差する線は走査線のみとすることができ(すなわち、蓄積容量共通配線と信号線とが交差しないので)、ノイズや信号伝達の遅延などを有効に防止することができる。これにより、画素の充電をより高速に行うことができる。さらに、1本の蓄積容量共通配線を共有する複数画素にわたってスイッチング素子が同時にオンする瞬間がないため、クロストーク等を防ぐことができる。

## 【0036】

すなわち、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板を提供することができる。

## 【0037】

上述のように、信号線における信号伝達遅延を防止できるのは、従来と違って、信号線が蓄積容量共通配線と交差しなくなった分、信号線と他の配線との間の静電容量が小さくなり、その結果、信号線の時定数を小さく抑えることができるためである。

## 【0038】

ところで、従来の液晶表示装置でもよく行われているように、信号線に加える信号の振幅を小さく抑えることができるように、画素電極に対向して配置される対向電極および蓄積容量共通配線に、信号線と逆位相で一定振幅の信号を供給することがある。この場合、蓄積容量共通配線における信号遅延も問題となっていた。

## 【0039】

しかし、走査線のオフ電位にも、蓄積容量共通配線に供給する信号と同位相で同じ振幅の信号を重畳する、いわゆるフローティングゲート駆動を行うので、本

発明の場合、交差し合う走査線と蓄積容量共通配線との電圧差は、常に一定となる。

【 0 0 4 0 】

すなわち、蓄積容量共通配線から見れば、時定数を増加させる容量成分は、浮遊容量以外には無いことになるので、蓄積容量共通配線における信号遅延は、ほとんどゼロになるという効果も得られる。

【 0 0 4 1 】

なお、蓄積容量電極と蓄積容量共通配線とは、同一の電極層をパターンニングし、隣合う画素の蓄積容量電極同士を接続する配線として、蓄積容量共通配線を形成することもできるし、画素毎に独立して形成した蓄積容量電極の上に、複数の画素に共通する蓄積容量共通配線を積層して形成することもできる。

【 0 0 4 2 】

前者の場合には、信号線を単層構造とすれば、信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層のパターンニングにより形成することができる。また、後者の場合には、信号線を二層から成る積層構造とすれば、信号線の下層と蓄積容量電極とを、同一の電極層のパターンニングにより形成し、信号線の上層と蓄積容量共通配線とを、同一の電極層のパターンニングにより形成することによって、信号線と、蓄積容量電極および蓄積容量共通配線とを同時進行で形成することができるので、上述した本発明の効果は変わりなく得られるものである。

【 0 0 4 3 】

本発明に係るアクティブマトリクス基板は、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていてもよい。

【 0 0 4 4 】

上述したとおり、蓄積容量電極と蓄積容量共通配線とは、同一の電極層をパターンニングし、隣合う画素の蓄積容量電極同士を接続する配線として、蓄積容量共通配線を形成することもできるし、画素毎に独立して形成した蓄積容量電極の上に、複数の画素に共通する蓄積容量共通配線を積層して形成することもできる。

【0045】

いずれにしても、信号線と少なくとも蓄積容量電極とを、同一の電極層のパターンニングにより形成する構成とすれば、従来の製造工程をそのまま利用して、前述と同様の作用効果を得ることができる。

【0046】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記蓄積容量電極が透明電極膜であってもよい。

【0047】

上記の構成によれば、例えばアクティブマトリクス基板を液晶表示装置用に使  
用した場合には、画素の開口率を低下させることがない。また、該アクティブマ  
トリクス基板をイメージセンサ用に使  
用した場合には、該イメージセンサの透明  
基板と変換層との間の遮光エリアを少なくすることができるので、イメージセン  
サ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうこと  
ができる。

【0048】

また、蓄積容量共通配線も透明電極膜とすれば、画素の開口率がさらに向上す  
るので、上記の効果を大きくすることができる。

【0049】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上  
記スイッチング素子の上層を覆う絶縁膜を介して、上記画素電極と蓄積容量電極  
とが対向配置されていてもよい。

【0050】

上記の構成によれば、画素電極、スイッチング素子の上層を覆う絶縁膜、およ  
び、蓄積容量電極とによって蓄積容量が形成される。すなわち、特別な工程（例  
えば、画素電極と蓄積容量電極との間に別に誘電層を形成する工程）を追加する



ことなく、容易に蓄積容量を形成することができ、アクティブマトリクス基板の生産性を向上させることができる。

【 0 0 5 1 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記画素電極と上記絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されているもよい。

【 0 0 5 2 】

上記の構成によれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）との間に、絶縁膜に加えてさらに層間絶縁膜が追加されることにより、画素電極と電極線とは、互いの影響を低減することができる。また、蓄積容量の大きさは、層間絶縁膜に設けられるコンタクトホール大きさにより制御されるので、パターニング容易な層間絶縁膜を用いることにより、蓄積容量値の制御を容易、かつ精確に行うことができる。

【 0 0 5 3 】

本発明に係るアクティブマトリクス基板の製造方法は、上記の課題を解決するために、上記の構成を有するアクティブマトリクス基板の製造方法であって、上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターニングすることにより形成する工程を含むことを特徴としている。

【 0 0 5 4 】

上記の方法によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念をなくすることができる。

【 0 0 5 5 】

本発明に係るイメージセンサは、上記の課題を解決するために、上記の構成を有するアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴としている。

## 【0056】

上記の構成によれば、イメージセンサに入射した電磁放射線は、変換部において電荷に変換され、続いて該電荷が静電容量（蓄積容量）として蓄積される。一般にイメージセンサは、蓄積容量やノイズに対する要求水準が高いが、上記のアクティブマトリクス基板を備えたイメージセンサにおいては、静電容量として蓄積された信号の読み出し特性に影響を与えない程度にこれらを抑えることができる。また、イメージセンサのアクティブマトリクス基板を製造する際には、新たな工程を追加する必要がなく、また、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用することができる。したがって、新たな設備投資、ラインの生産性の低下を招来することなく該イメージセンサを提供することができる。

## 【0057】

また、蓄積容量電極を透明電極膜で構成したアクティブマトリクス基板を使用すれば、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうことができる。

## 【0058】

また、蓄積容量共通配線も透明電極膜で構成したアクティブマトリクス基板を使用すれば、遮光エリアがより少なくなるので、上記の効果を大きくすることができる。

## 【0059】

さらに、スイッチング素子の上層を覆う絶縁膜を介して、画素電極と蓄積容量電極とが対向配置されている構成を有するアクティブマトリクス基板を使用すれば、新たな工程を追加することなくイメージセンサを製造することができ、該構成を前提に、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に

設けられたコンタクトホールにおいて上記画素電極と蓄積容量電極とが対向配置されている構成のアクティブマトリクス基板を使用すれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）間の影響が低減され、また、蓄積容量値が精確に制御されてなるイメージセンサを提供することができる。

## 【 0 0 6 0 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、蓄積容量の形成に供される蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記蓄積容量は、上記画素電極と蓄積容量電極との間に形成され、かつ上記走査線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていてもよい。

## 【 0 0 6 1 】

上記の構成によれば、信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じメリットを得ることができる。

## 【 0 0 6 2 】

すなわち、信号線の静電容量が減少するので、 $S/N$ 比が向上すると共に、信号線における信号遅延が小さくなる。また、蓄積容量共通配線を介した信号のクロストークによる解像度の低下を防げる上、蓄積容量共通配線にかかる負荷が著しく減少するため、信号の精度を向上させるために、蓄積容量共通配線のインピーダンスを減らそうとする設計上の負担も極めて少なくて済む。

## 【 0 0 6 3 】

その上、従来の液晶表示装置用のアクティブマトリクス基板の製造装置を、小規模なパターン設計変更をするだけで、そのまま用いることができるので、コスト的に極めて有利である。

## 【 0 0 6 4 】

また、画素電極と蓄積容量を形成する蓄積容量電極と走査線とを、同一層で形成するタイプのアクティブマトリクス基板は、蓄積容量電極を大面積に形成して、画素容量値の大きなイメージセンサを構成するのに有利である。なぜなら、走査線および蓄積容量電極を形成した後に、絶縁膜を介して画素電極を上層として形成することになるので、画素電極上に変換層を積層することによって形成される画素電極の開口面積は、蓄積容量電極がたとえ遮光性を有していたとしても、その影響を受けないからである。

## 【 0 0 6 5 】

画素容量値の大きなイメージセンサは、変換層にX線が照射されることによって生成された電荷を効率良く集めることができ、また、画素電位が異常に上昇してスイッチング素子から電荷が漏れたり、スイッチング素子自体が破壊されたりする不具合を防止することができる。

## 【 0 0 6 6 】

また、上記蓄積容量電極との間で蓄積容量を形成する画素電極を、蓄積容量電極と絶縁層（例えば、ゲート絶縁膜）を挟むように、画素電極とは別に設けられた導電体層に置き換えてもよい。

## 【 0 0 6 7 】

すなわち、本発明のアクティブマトリクス基板を、

「格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、

上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、

蓄積容量の形成に供される蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において

上記蓄積容量電極と絶縁層を挟んで設けられた導電体層を備え、上記蓄積容量は、上記導電体層と蓄積容量電極との間に形成され、かつ上記走査線と蓄積容量電極とが、同一の電極層をパターンングすることにより形成されている」構成としてもよい。

【 0 0 6 8 】

また、本発明のアクティブマトリクス基板の構成は、ボトムゲート構造のスイッチング素子を採用する場合に好適である。

【 0 0 6 9 】

さらに、本発明のアクティブマトリクス基板の構成は、アモルファスシリコン型薄膜トランジスタ（a-Si型TFT）をスイッチング素子として採用する場合に好適である。

【 0 0 7 0 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、信号線と画素電極とが、同一の導電層をパターンニングすることにより形成されている。

【 0 0 7 1 】

上記の構成によれば、走査線および蓄積容量電極と、信号線および画素電極とが、それぞれ同一の層で形成されているので、走査線および蓄積容量電極を同時進行で形成した後に、信号線および画素電極を再び同時進行で形成することができる。この結果、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができる。

【 0 0 7 2 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、上記画素電極を最上層に配置する層間絶縁膜を備えている。

【 0 0 7 3 】

上記の構成によれば、画素電極をアクティブマトリクス基板の最上層に配置することによって、走査線、信号線および蓄積容量共通配線の上層に、画素電極を配置することができるので、画素の開口面積を飛躍的に大きく設定することができる。すなわち、隣り合う画素同士で、それぞれの画素電極間に間隙を形成するのに必要な領域を除く全ての領域を画素の開口部とすることができる。

【 0 0 7 4 】

したがって、上記のアクティブマトリクス基板に変換層を積層してイメージセ

ンサを構成した場合、イメージセンサでは、画素電極と変換層とが接する領域が画素の開口部となるので、変換層で発生した電荷を最大効率で、画素電極に収集することができる。

【 0 0 7 5 】

さらに、画素の開口率を十分大きくすることができるため、イメージセンサのみならず、液晶表示装置にも好適なアクティブマトリクス基板を提供することができる。

【 0 0 7 6 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記走査線と画素電極とが、同一の電極層をパターニングすることにより形成されていてもよい。

【 0 0 7 7 】

このような構成によっても、信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じメリットを得ることができる。

【 0 0 7 8 】

その上、走査線および画素電極の層の上にゲート絶縁膜を成膜し、スイッチング素子、信号線、蓄積容量電極および蓄積容量共通配線を形成して保護膜を成膜した後、保護膜とゲート絶縁膜とを、同じフォトリソ等を用いて同時にパターニングし、画素電極の開口部を形成することができる。

【 0 0 7 9 】

したがって、上記のように、走査線と画素電極とを同一の電極層のパターニングによって形成する構成の場合、同じフォトリソを用いることによるコスト削減効果と、保護膜とゲート絶縁膜とを別工程でパターニングしなくて済むことによるコスト削減効果とが得られるため、製造コストを大幅に削減することができる。

る。

【 0 0 8 0 】

しかも、保護膜のパターニング工程に至るまで、画素電極をゲート絶縁膜で保護しておくことができるので、画素電極の表面が汚染されにくい。この結果、上記構成のアクティブマトリクス基板に変換層を積層してイメージセンサを構成する場合、画素電極の開口部上に変換層を安定して成膜することができるので、高性能で製造の歩留りが良いイメージセンサを得ることができる。

【 0 0 8 1 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、信号線と蓄積容量電極とが、同一の導電層をパターニングすることにより形成されていてもよい。

【 0 0 8 2 】

上記の構成によれば、走査線および画素電極と、信号線および蓄積容量電極とが、それぞれ同一の層で形成されているので、走査線および画素電極を同時進行で形成した後に、信号線および蓄積容量電極を再び同時進行で形成することができる。この結果、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができる。

【 0 0 8 3 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記導電層が、画素電極の画素開口部を被覆するようにパターニングされていてもよい。

【 0 0 8 4 】

上記の構成によれば、変換層を画素電極と直接接触しない状態で積層させることができるので、画素電極の形成材料が、変換層の物性との相性による制約を受けずに済む。したがって、走査線および画素電極を形成する電極層の形成材料の選択肢が広がる。一方、上記導電層は、変換層の物性との相性が良く、かつ表面状態の劣化しにくい材料、例えばITO (Indium Tin Oxide) 等で形成すればよい。

## 【 0 0 8 5 】

こうして、画素電極の上に変換層を積層した場合のように、開口部で露出した画素電極の表面が酸化し、変換層との導通が十分取れなくなるといった不具合が起きるおそれが無くなる。

## 【 0 0 8 6 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素領域毎に設けられた第 1 の画素電極と、上記走査線、信号線および第 1 の画素電極のそれぞれに接続されたスイッチング素子と、上記第 1 の画素電極に接続された第 2 の画素電極と、上記第 2 の画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備え、上記走査線と第 2 の画素電極とが、同一の電極層をパターンニングすることにより形成されている構成であってもよい。

## 【 0 0 8 7 】

このような構成によっても、信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じメリットを得ることができる。

## 【 0 0 8 8 】

また、蓄積容量が小さくて済む場合には、第 2 の画素電極の面積を小さく設定できるため、走査線と同じ金属等の非透光性材料で第 2 の画素電極を形成したとしても、遮光領域の面積を最小限に抑えることができる。さらに、第 1 の画素電極は、ITO のような透光性材料で形成すればよいので、開口部を大きく取った透過型の液晶表示装置に適したアクティブマトリクス基板を得ることができる。

## 【 0 0 8 9 】

さらに、第 1 の画素電極を上記のより安定な物質で形成できるため、上記構成のアクティブマトリクス基板をイメージセンサに適用する場合、第 1 の画素電極上に変換層を安定して積層することができる。

## 【 0 0 9 0 】

また、変換層が光照射によるリフレッシュ動作を必要とする場合であっても、



上述したとおり、遮光領域の面積が最小限に抑えられているため、変換層に所望の方向から、十分な光量を与えることができる。

## 【 0 0 9 1 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、信号線と、第 1 の画素電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていてもよい。

## 【 0 0 9 2 】

上記の構成によれば、走査線および第 2 の画素電極と、信号線、第 1 の画素電極および蓄積容量電極とが、それぞれ同一の層で形成されているので、走査線および第 2 の画素電極を同時進行で形成した後に、信号線、第 1 の画素電極および蓄積容量電極を再び同時進行で形成することができる。この結果、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができる。

## 【 0 0 9 3 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、上記第 1 の画素電極とスイッチング素子とを接続する接続電極を備え、上記信号線と、接続電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていてもよい。

## 【 0 0 9 4 】

上記の構成によれば、第 1 の画素電極は、接続電極を介してスイッチング素子と導通を取ることができるので、例えば、第 1 の画素電極を最上層に配置し、第 1 の画素電極と接続電極との間に絶縁層を設けることができる。これにより、走査線、信号線および蓄積容量共通配線の上層に、第 1 の画素電極を配置することができるので、画素の開口面積を飛躍的に大きく設定したアクティブマトリクス基板を作製することができる。

## 【 0 0 9 5 】

また、走査線および第 2 の画素電極と、信号線、接続電極および蓄積容量電極とが、それぞれ同一の層で形成されているので、走査線および第 2 の画素電極を同時進行で形成した後に、信号線、接続電極および蓄積容量電極を再び同時進行

で形成することができる。この結果、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができる。

## 【0096】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記導電層が、透光性を有していてもよい。

## 【0097】

上記の構成によれば、既に説明したように、第2の画素電極が遮光性を有していたとしても、蓄積容量の形成に必要な面積で形成されればよいので、第2の画素電極が形成されていない領域を画素の開口部とすることができる。この開口部に透光性を有する導電層が成膜されるので、透光性の開口部が形成されることになる。

## 【0098】

この結果、透過型の液晶表示装置に適したアクティブマトリクス基板を得ることができると共に、このアクティブマトリクス基板をイメージセンサに適用する場合、変換層に所望の方向から、十分な光量を与えることができ、変換層を光照射によりリフレッシュすることができる。

## 【0099】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、上記第1の画素電極と蓄積容量電極とが、上記保護膜を介して蓄積容量を形成している構成であってもよい。

## 【0100】

上記の構成によれば、前述の蓄積容量電極は、第2の画素電極との間に蓄積容量を形成すべく設けられていたので、蓄積容量電極が、保護膜を介して第1の画素電極との間にも蓄積容量を形成する構成とすることにより、画素の蓄積容量を二重に形成することができる。

## 【0101】

この結果、走査線と同一の電極層で形成される不透光性の第2の画素電極を小面積で形成しても、必要な蓄積容量を得ることができるので、上記構成のアクテ

ィブマトリクス基板は、開口面積の大きな透過型の液晶表示装置を構成することができる。

【 0 1 0 2 】

さらに、イメージセンサのように、極めて大きな蓄積容量が必要とされる場合でも、その必要な蓄積容量を容易に形成することができる。

【 0 1 0 3 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、さらに、上記上記第 1 の画素電極を最上層に配置する層間絶縁膜を備えている構成であってもよい。

【 0 1 0 4 】

上記の構成によれば、第 1 の画素電極をアクティブマトリクス基板の最上層に配置することにより、走査線、信号線および蓄積容量共通配線の上層に、第 1 の画素電極を配置することができるので、画素の開口面積を飛躍的に大きく設定することができる。すなわち、隣り合う画素同士で、それぞれの第 1 の画素電極間に間隙を形成するのに必要な領域を除く全ての領域を画素の開口部とすることができる。

【 0 1 0 5 】

したがって、上記のアクティブマトリクス基板に変換層を積層してイメージセンサを構成した場合、イメージセンサでは、第 1 の画素電極と変換層とが接する領域が画素の開口部となるので、変換層で発生した電荷を最大効率で、第 1 の画素電極に収集することができる。

【 0 1 0 6 】

また、画素の開口率を十分大きくすることができるので、イメージセンサのみならず、液晶表示装置にも好適なアクティブマトリクス基板を提供することができる。

【 0 1 0 7 】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記走査線に、陽極酸化が施されていてもよい。

【 0 1 0 8 】

上記の構成によれば、走査線と他の配線との絶縁性の信頼性が向上する。これにより、アクティブマトリクス基板の製造の歩留りを向上させることができると共に、走査線の絶縁不良に起因する線欠陥のような重大欠陥の発生を、より確実に防止することができる。

## 【0109】

一方、走査線と同一の電極層をパターンニングすることにより形成される蓄積容量電極や、画素電極、あるいは第2の画素電極には、陽極酸化を施さないことが好ましい。これにより、蓄積容量を形成する画素電極と蓄積容量電極との間に設ける絶縁層、または蓄積容量を形成する第2の画素電極と蓄積容量電極との間に設ける絶縁層を、例えばゲート絶縁膜の単層にすることができる。この結果、誘電率を大きくすることができるので、単位面積あたりの静電容量を大きくすることができ、より小さな面積で大きな補助容量を得ることができる。

## 【0110】

本発明に係るアクティブマトリクス基板の製造方法は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板の製造方法において、

(1) 基板上に電極層を成膜し、該電極層のパターンニングにより、走査線と画素電極とを形成する工程と、

(2) ゲート絶縁膜を積層する工程と、

(3) 上記信号線、スイッチング素子、蓄積容量電極、蓄積容量共通配線を形成した後、保護膜を成膜する工程と、

(4) 上記ゲート絶縁膜および保護膜を同時にエッチングして、画素電極の開口部を形成する工程とを含むことを特徴としている。

## 【0111】

上記の構成によれば、走査線を形成する際に、同時に画素電極を形成すること

ができると共に、その他の工程についても、従来のアクティブマトリクス基板の製造工程をそのまま適用することができる。したがって、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、信号線と平行な蓄積容量共通配線を有する高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

## 【 0 1 1 2 】

しかも、走査線および画素電極の層の上にゲート絶縁膜を成膜し、スイッチング素子、信号線、蓄積容量電極および蓄積容量共通配線を形成して保護膜を成膜した後、保護膜とゲート絶縁膜とを、同じフォトリソマスク等を用いて同時にパターニングし、画素電極の開口部を形成することができるので、同じフォトリソマスクを用いることによるコスト削減効果と、保護膜とゲート絶縁膜とを別工程でパターニングしなくて済むことによるコスト削減効果が得られ、製造コストを大幅に削減することができる。

## 【 0 1 1 3 】

さらに、保護膜のパターニング工程に至るまで、画素電極をゲート絶縁膜で保護しておくことができるので、画素電極の表面が汚染されにくい。この結果、画素電極の開口部上に変換層を積層してイメージセンサを構成する場合、変換層を安定して成膜することができ、高性能のイメージセンサを高歩留りで製造することができる。

## 【 0 1 1 4 】

本発明に係るイメージセンサは、上記の課題を解決するために、上記構成のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴としている。

## 【 0 1 1 5 】

上記のように構成したイメージセンサは、既に説明したとおりの作用効果を奏するものである。

## 【 0 1 1 6 】

## 【発明の実施の形態】

## 〔実施の形態 1〕

本発明の実施の一形態について、図 1 ないし図 3 に基づいて説明する。尚、本実施の形態にかかるアクティブマトリクス基板は、図 1 2 (a) ~ (h) および図 1 3 (a) ~ (h) に示すアクティブマトリクス基板の製造プロセスを流用できることを特徴のひとつとしており、同図を適宜参照しながら特に異なる点につき説明を行うものとする。また、本実施の形態にかかるアクティブマトリクス基板をなす各層の材料や加工方法等は、従来公知のものを流用することができるため、これらに関する詳細な説明は省略する。

## 【0 1 1 7】

図 1 および図 2 に示すように、本実施の形態にかかるアクティブマトリクス基板は、格子状に配設された信号線 1 1 ・ 1 1 および走査線 1 2 ・ 1 2 に囲まれて各画素（画素領域）が形成され、また、該信号線 1 1 および走査線 1 2 の交差部の近傍にはスイッチング素子としての T F T 1 3 が形成されている。

## 【0 1 1 8】

信号線 1 1 ・ 1 1 と平行に配された画素容量配線（蓄積容量共通配線） 1 4 は、該信号線 1 1 の伸長方向に並ぶ各画素に形成された複数の画素容量（蓄積容量） 1 4 a を接続する画素容量共通配線であり、例えば、液晶表示装置に用いられる場合には、対向基板の共通電極（図示せず）に接続される。また、画素容量配線 1 4 はコンタクトホール 1 5 において、保護膜（絶縁膜） 2 7 を介して画素電極 1 6 と対向し、上記の画素容量 1 4 a を形成する。すなわち、画素容量配線 1 4 は、上記共通配線としてのみならず、画素容量 1 4 a を構成する電極の一方（画素容量電極）としても機能している。

## 【0 1 1 9】

さらに、以下の製造工程の記載においても触れるように、金属配線 2 6 c および透明電極 2 5 c よりなる画素容量配線 1 4 は、該信号線 1 1 をなす金属配線 2 6 a および透明電極 2 5 a の形成時に、同時にパターンニング形成される。すなわち、画素容量配線 1 4 をなす金属配線 2 6 c と信号線 1 1 をなす金属配線 2 6 a とは同一の層に由来し、また、画素容量配線 1 4 をなす透明電極 2 5 c と信号線

1 1 をなす透明電極 2 5 a とは同一の層に由来している。

#### 【0 1 2 0】

次に、図 3 (a) ~ (h) に基づいて、本実施の形態にかかるアクティブマトリクス基板の製造工程について具体的に説明する。

図 3 (a) に示すように、ガラス等の絶縁性の透明基板 2 0 上に、金属膜を成膜した後、フォトリソグラフィ、およびドライエッチングもしくはウェットエッチングにより、TFT 1 3 のゲート電極 2 1 および走査線 1 2 (図 1 参照) を形成する。ここで、従来のアクティブマトリクス基板 (以下、従来品と称する) では、金属膜より画素容量配線 1 0 5 も同時に形成しているが (図 1 2 (a) および図 1 3 (a) 参照)、本実施の形態では、これをこの段階で形成しない。

#### 【0 1 2 1】

次に、ゲート絶縁膜 2 2、半導体層 2 3 (アモルファスシリコン層)、および、 $n^+$ -Si 層 2 4 ( $n^+$ -アモルファスシリコン層) を連続して積層した後に、図 3 (b) に示すようにパターニングする。尚、 $n^+$ -Si 層 2 4 は、後に TFT 1 3 のソース電極 2 4 a およびドレイン電極 2 4 b となる。これらの層の積層・パターニングの方法、並びに、形成パターンは従来品と同様にすれば良い。

#### 【0 1 2 2】

具体的には、積層された膜 (層) の内、半導体層 2 3 および  $n^+$ -Si 層 2 4 に関しては、半導体層 2 3 の残すべき形状に応じて同時にパターニングすれば良く、TFT 1 3 のチャネル部となる部分の  $n^+$ -Si 層 2 4 のギャップはまだ形成しない。続いて、ゲート絶縁膜 2 2 のパターニングが行われるが、該パターニングは、端子近傍の走査線 1 2 (図 1 参照) と外部とのコンタクト部分を設けるためや、画素容量配線 1 4 (図 1 および図 2 参照) への信号供給に必要なコンタクト部分 (例えば、対向基板の共通電極とのコンタクト部分) を設けるための工程であって、図 3 には図示しない。

#### 【0 1 2 3】

次に、透明電極層 (電極層) 2 5 および金属層 (電極層に相当、パターニング後の形状のみ図示) を連続して積層した後、まず金属層をパターニングする。そして、図 3 (c) に示すように、該金属層のパターニングにより金属配線 2 6 a

・ 2 6 b ・ 2 6 c が形成される。続いて、透明電極層 2 5 のパターニングが行われ、図 3 ( d ) に示すように、透明電極 2 5 a ・ 2 5 b ・ 2 5 c が形成される。透明電極 2 5 a および金属配線 2 6 a は信号線 1 1 に相当し、透明電極 2 5 b および金属配線 2 6 b は、後述するコンタクトホール 1 8 を介して T F T 1 3 と画素電極 1 6 とを接続する接続電極に相当し、また、透明電極 2 5 c および金属配線 2 6 c は画素容量配線 1 4 に相当する。

#### 【 0 1 2 4 】

尚、上記の配線やパターンを二層の積層構造としているのは、積層時のダスト等による断線に対する冗長としての効果や、上層の金属層をパターニングする際の透明電極層 2 5 へのダメージ防止等を目的としたものであり、場合によっては単層構造で形成することもできる。単層構造とする場合には、その構成材料は特に限定されない。また、場合によっては、透明電極層 2 5 を上層に、金属層を下層にして形成してもよい。本実施の形態では、画素容量配線 1 4 が 2 層構造となっていることで、透明電極膜単層で形成されている場合と比較して、該配線の抵抗値を低く抑えることもできる。

#### 【 0 1 2 5 】

また、T F T 1 3 と画素電極 1 6 との接続のためのコンタクト部が、透明電極 2 5 b により形成されているのは、コンタクトホール 1 8 を形成する工程（後述する）における膜のダメージが金属層より透明電極層の方が少なく、より良好なコンタクト特性がとれるためである。

#### 【 0 1 2 6 】

続いて、図 3 ( e ) に示すように、後に T F T 1 3 となるトランジスタ部において、金属配線 2 6 a ・ 2 6 b および透明電極 2 5 a ・ 2 5 b をマスクとして n <sup>+</sup> - S i 層 2 4 のエッチングを行い、T F T 1 3 のチャネルを形成する。次に、図 2 ( f ) に示すように、引き出し線 1 2 となる半導体層 2 3 を保護するための保護膜 2 7 を積層し、画素電極 1 6 とのコンタクト部における保護膜 2 7 をエッチングによって除去する。

#### 【 0 1 2 7 】

尚、この T F T 1 3 のように、ゲート電極 2 1 の上層に、半導体層 2 3 を介し



てソース電極 2 4 a およびドレイン電極 2 4 b が配置された構造は、逆スタガー構造（またはボトムゲート構造）と呼ばれている。

## 【 0 1 2 8 】

さらに、図 3（g）に示すように、層間絶縁膜 2 8 を成膜し、コンタクト部（コンタクトホール 1 5 ・ 1 8 に相当）における層間絶縁膜 2 8 のパターニングを行う。尚、従来品の製造工程では、図 1 2（g）に示すように、層間絶縁膜 1 1 5 に設けられるコンタクト部は、T F T 1 0 4 と画素電極 1 0 3 との接続のためのコンタクトホール 1 1 6 を設けるのみであったが、本実施の形態においては、後述する画素容量 1 4 a 形成部位となるコンタクトホール 1 5 も同時に設けている。

## 【 0 1 2 9 】

続いて、図 3（h）に示すように、層間絶縁膜 2 8 の上層に画素電極 1 6 となる透明電極層を形成し、パターニングすることにより本実施の形態にかかるアクティブマトリクス基板が製造される。画素電極 1 6 は、保護膜 2 7 および層間絶縁膜 2 8 を貫くコンタクトホール 1 8 を介して T F T 1 3 のドレイン電極 2 4 b と接続される。

## 【 0 1 3 0 】

また、層間絶縁膜 2 8 に設けられたコンタクトホール 1 5 においては、画素容量配線 1 4 と画素電極 1 6 とが保護膜 2 7 をはさんで対向配置されており、画素容量配線 1 4 を成す金属配線 2 6 c、画素電極 1 6、および、保護膜 2 7 によって蓄積容量が形成され、これが各画素の画素容量 1 4 a となる。

## 【 0 1 3 1 】

画素容量の大きさは、層間絶縁膜 2 8 に設けられたコンタクトホール 1 5 の大きさ（すなわち、画素容量 1 4 a において、保護膜 2 7 に接触する画素電極 1 6 の面積）によって決定される。上記層間絶縁膜 2 8 のパターニング方法は該絶縁膜 2 8 の材質等によって異なるが、一般には、a）ポリイミド系の樹脂よりなる場合には、エッチングによって、また、b）アクリル系樹脂よりなる場合には、フォトリソプロセスによって行われるが、いずれの方法によってもパターン精度は充分高く、画素容量値の制御を容易、かつ精確に行うことができる。

## 【 0 1 3 2 】

上記構造のアクティブマトリクス基板では、信号線 1 1・走査線 1 2 と画素電極 1 6 との間には、層間絶縁膜 2 8 が形成されているため、信号線 1 1・走査線 1 2 に対して画素電極 1 6 をオーバーラップさせることが可能となり、開口率の向上、信号線 1 1 に起因する電界をシールドすることによる液晶の配向不良の抑制等の効果がある。

また、保護膜 2 7 は、ゲート絶縁膜 2 2 と膜厚・材質とも略同じであってよく、画素容量 1 4 a を形成する上で、保護膜 2 7 の形成工程に特に変更を有することはない。

## 【 0 1 3 3 】

ところで、従来は電極線（信号線、走査線、画素容量配線等）の上層に、保護膜のみを介して導電膜（具体的には画素電極を指す）を形成することはなかったため、各電極線のエッジ部分での保護膜のクラックについては注意されていなかった。そのため電極線はタクト時間重視でテーパが急峻であることが多く、上層の導電膜が電極線のエッジにかかる断面構成とすると、リーク不良が発生する可能性が高い。ところが、本実施の形態では、図 2 に示すように、画素電極 1 6 が保護膜 2 7 を挟んで電極線と接するのは、コンタクトホール 1 5 の部分だけであるため、エッジ部のクラックにおけるリーク欠陥の心配がない。また、コンタクトホール 1 5 のテーパ部では液晶層の層厚が変わるため、液晶分子の配向乱れが生じやすいが、これによる光漏れは、下層に配された画素容量配線 1 4 （正確には、金属配線 2 6 c）により遮光されるため、表示上不具合は生じない。

## 【 0 1 3 4 】

上記説明のように、従来品の製造工程と全く同じプロセスで、単にパターンを一部変更するだけで、信号線 1 1 と平行な画素容量配線 1 4 を有するアクティブマトリクス基板を実現できる。すなわち、工程数の増加（あるいはマスク枚数の増加）を招来することなく、ノイズや信号遅延性の発生を防止することが可能なアクティブマトリクス基板を提供することができる。また、従来の液晶表示装置の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用アクティブマトリクス基板を製造することがで

きるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

#### 【0135】

上記構造のアクティブマトリクス基板においては、上述したように、画素容量配線14が交差する線は走査線12のみであることから画素容量配線14の時定数が極めて小さくなり、ノイズや信号伝達の遅延などを著しく減少させることができる。この結果、本発明のアクティブマトリクス基板をイメージセンサに適用した場合には、イメージセンサのS/N比を大きく向上させることができる。

#### 【0136】

すなわち、画素容量配線14を信号線11と並行に配置すると、一本の画素容量配線14と容量結合される駆動中の画素は、当該画素容量配線14と選択された走査線12との交差部に位置する1つの画素のみとなる。この結果、ある走査線12が選択された瞬間における、画素容量配線14の電位の揺動は、1つの画素の電位の変化から影響を受けるに過ぎないので、極めて小さいものとなる。

#### 【0137】

また、画素容量配線14は、非選択の走査線12などとも容量結合しているので、選択された画素の電荷は、非選択の走査線12と画素容量配線14とで形成される他の静電容量にも再分配される形で移動することになる。これによっても、画素容量配線14の電位は、揺動が小さくなり、しかも直ちに正常な電圧状態に復帰することができる。

#### 【0138】

さらに、画素容量配線14は信号線11と交差していないので、非選択の走査線12と画素容量配線14とで形成される静電容量は、信号線11から影響を受けない。この結果、非選択の走査線12と画素容量配線14とで形成される静電容量が一信号の読み出しや書き込みを行う際の画素の電位に悪影響を及ぼすことがない。

#### 【0139】

このように、従来と異なり、画素容量配線14の電位を安定に保つために、画素容量配線14全体を低抵抗にする必要や、画素容量配線14の入力端から見た

画素容量配線 1 4 のインピーダンスを抑える工夫をする必要が、非常に少なく済む。

#### 【0 1 4 0】

さらに、信号線 1 1 に加える信号の振幅を小さく抑える目的で、図示しない対向電極および画素容量配線 1 4 に、信号線 1 1 に加えられる信号と逆位相の一定振幅を有する信号を供給することがあるが、この場合、走査線 1 2 のオフ電位にもこれと同振幅・同位相の信号を重畳させる、いわゆるフローティングゲート駆動を行うので、画素容量配線 1 4 と走査線 1 2 の電圧差は常に一定である。すなわち、画素容量配線 1 4 側からみれば、時定数を増加させる容量成分は、浮遊容量を除いてはなく、実際の信号伝達の遅延はほとんどゼロであるといえる。また、前述のように、1 本の画素容量配線 1 4 を共有する複数画素にわたって複数の TFT 1 3（一つのみ図示）が、同時にオンする瞬間がないため、クロストークなどの懸念がない。

#### 【0 1 4 1】

一方、図 1 4 および図 1 5 にて示した従来のアクティブマトリクス基板においては、画素容量配線 2 0 5 が信号線 2 0 1 と平行に配置されてはいるが、画素容量配線 2 0 5 b の形成のために、余分な工程が必要となる。具体的には、a) 画素容量電極 2 0 5 としての透明電極膜の形成工程、および、b) 画素容量配線 2 0 5 b と画素容量電極 2 0 5 とのコンタクト部分を設けるための、ゲート絶縁膜 2 1 0 b の成膜・フォトリソグラフィ・エッチング工程である。さらに、ゲート絶縁膜 2 1 0 b に対するパターニングには高いパターニング精度が要求され、高価なフォトマスクと綿密な露光条件やエッチング条件の管理とが必要となる。したがって、コスト高を招来することとなる。

#### 【0 1 4 2】

尚、本実施の形態では、画素電極 1 6 は透明電極層より形成されるが、特にこれに限定されるものではなく、例えば、反射型の液晶表示装置の構成基板として使用される場合には、画素電極を金属膜で形成してもよい。

#### 【0 1 4 3】

また、開口率や画素電極 1 6 の占める面積に対する要求が小さい場合には、画

さらに、上記寄生容量が問題とならない場合は、層間絶縁膜 28 を形成する必要はなく、該層間絶縁膜 28 の成膜・パターニングにかかる工程を削減することができる。

本発明の他の実施の形態について、図4に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態1にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

本実施の形態にかかるアクティブマトリクス基板と、上記実施の形態１にかかるアクティブマトリクス基板との相違点は画素容量配線の構成にある。具体的には、図４に示すように本実施の形態においては、蓄積容量電極を兼ねる画素容量配線（蓄積容量共通配線）が透明電極（透明電極膜）２５ｃ単層により構成されている。つまり、本実施の形態の画素容量配線は、該信号線１１をなす透明電極２５ａの形成時に、同時にパターンニング形成される。本構成によれば、画素容量配線が透明電極２５ｃ単層により構成されているために、上記実施の形態１の構成と比較して画素の開口率をさらに向上させることができる。尚、図４は、上記実施の形態１を表す図１のＡ－Ａ’における断面図に対応するものである。

本実施の形態にかかるアクティブマトリクス基板の製造工程は、上記実施の形態1にて示した製造工程（図11～図15、参照）において、透明電極層（電極層）25上に積層された金属層を、金属配線26cをさらに取り除くようにパターニングすれば良いだけであるので、工程数の増加を招来することがない。

出証特 2 0 0 0 - 3 0 1 9 3 5 8

また、画素容量配線が画素の開口率の妨げとならないので、必要に応じて画素容量値（言い換えれば、保護膜（絶縁膜）27を介して画素電極16と対向する透明電極25cの面積）を大きくすることができ、例えば、信号線11と画素電極16との間の寄生容量に起因するクロストークなどが発生するおそれがある場合でも、対策を容易に講ずることができる。

## 【0149】

また最近では、コスト削減等の理由で、信号線11自体を透明電極25aのみの単層構造とする場合もあるが、この場合でも、画素容量配線を透明電極25cで形成することができることに変わりはなく、同様に適用できる。

## 【0150】

尚、画素容量配線を透明電極25cで構成すると金属配線と比較して抵抗値が大きくなる場合があるが、必要に応じて画素容量電極（蓄積容量電極）としての機能も有する透明電極25cの画素容量値を調整すれば不具合は生じない。

## 【0151】

## 〔実施の形態3〕

本発明のさらに他の実施の形態について、主に図5および図6に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

## 【0152】

本実施の形態にかかるフラットパネル型X線センサ（以下、単にX線センサと称する）のアクティブマトリクス基板は、図5および図6に示すように、格子状に配設された信号線11・11および走査線12・12に囲まれて各画素が形成され、また、該信号線11および走査線12の交差部の近傍にはスイッチング素子としてのTFT13が形成されている。また、各画素には、画素容量配線（蓄積容量共通配線）としての透明電極（透明電極膜）25d、画素電極16および、層間絶縁膜28を貫くコンタクトホール15aが形成されている。コンタクトホール15aにおいては、透明電極25dと画素電極16とが保護膜（絶縁膜）27を介して対向配置されて画素容量（蓄積容量）30aが形成されている。すなわち透明電極25dは、上記実施の形態と同様、画素容量配線および画素容量

電極（蓄積容量電極）として機能している。

【0153】

また、透明電極25dは、上記実施の形態2と同様、図3（c）に示した透明電極層（電極層）25をパターニングすることにより信号線11の下層をなす透明電極25aと同時に形成されている。

【0154】

尚、図5のC-C'における断面構造は、図1のA-A'における断面構造と同一であるため図示しない。また、上記アクティブマトリクス基板の積層構造（各層の積層の順番）は、上記実施の形態1および2と同一であり、一部の層のパターニング形状を変更するだけであるため、製造工程に関する説明は省略する。

【0155】

上記のX線センサは、上記アクティブマトリクス基板上に、さらに変換層（変換部）31および共通電極層（バイアス電圧印加手段）32が順次積層されることにより構成されている（図6参照）。変換層31は、例えばX線等のエネルギーを受けることにより電子-正孔対が発生するものであれば、特に限定されるものではなく、具体的には例えば、a-Seや、Cd・Ta等、半導体が適当な層厚に積層されたものを挙げることができる。また場合によっては、画素間の漏れ電流の抑制策等を講じるために、これらをpin接合やショットキー接合を構成すべく適当な薄膜の積層体として構成しても良い。

【0156】

次に、上記のX線センサの動作を簡単に説明する。X線センサの上方（すなわち、共通電極層32側）からX線が入射されると、該X線のエネルギーによって変換層31において電子-正孔対が発生する。共通電極層32には、ある一定のバイアス電圧が加えられており、また、透明電極25dは一定電位に固定されているため、上記の電子-正孔対は、それぞれバイアスに引っ張られるように移動し、画素容量30aに電荷が蓄積される。そして、画素容量30aに蓄積された電荷は、走査線12により選択されたTFT13を介して信号線11より読み出される。

【0157】

X線から変換された電荷を効率よく集め、また、画素電位が異常に上昇してTFT13から該電荷が漏れたり、TFT13自体を破壊することを防止するために、本実施の形態のアクティブマトリクス基板では画素容量値（より具体的には、透明電極25dと画素電極16との対向面積）を非常に大きくしている。

## 【0158】

ところで、X線センサにおいては、透過型液晶表示装置の場合程には開口率を大きくすることが求められない場合が多いため、画素容量配線および画素容量電極を構成する材料は特に限定されず、場合によっては金属配線とすることも出来る。

## 【0159】

しかしながら、変換層31の性質によっては、画素容量30aに蓄積された電荷を読み出した後にも微小電荷が変換層31に残留して、信号の精度が低下したり、分極が発生して変換層31そのものの信頼性が低下する場合があります、これを防止するためには、例えば一定の周期（例えば、読み出しフレーム間毎）で、X線センサ全体に光を照射して変換層31をリフレッシュする（電荷をディスチャージする）方法が採用される。この場合、X線の照射方向とは反対側から光を照射することが望ましいので、透明基板20と変換層31との間に遮光エリアが少ない方がよい。本実施の形態では、画素容量配線（画素容量電極も兼ねる）が透明電極25dで形成されているため透明基板20と変換層31との間の遮光エリアを極めて小さくすることが出来る。

## 【0160】

## 〔実施の形態4〕

本発明のさらに他の実施の形態について、主に図7および図8に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

## 【0161】

本実施の形態にかかるX線センサと、上記実施の形態3にかかるX線センサとの主要な相違点は、画素容量配線および画素容量の構成にある。具体的には、透明電極（透明電極膜）25d上に金属配線26dが形成され、該透明電極25d



が画素容量電極（蓄積容量電極）として、また、該金属配線 2 6 d が画素容量配線（蓄積容量共通配線）として機能している。これらの画素容量配線および画素容量電極は、信号線 1 1 と同一の層より構成されている。具体的には、信号線 1 1 の上層をなす金属配線 2 6 a と画素容量配線として機能する金属配線 2 6 d とが同一の金属層をパターニングすることにより形成されており、また、信号線 1 1 の下層をなす透明電極 2 5 a と画素容量電極として機能する透明電極 2 5 d とが同一の透明電極層（電極層）2 5（図 3（c）参照）をパターニングすることにより形成されている。

## 【0 1 6 2】

なお、本実施の形態の構成においては、少なくとも、信号線 1 1 の下層をなす透明電極 2 5 a と画素容量電極として機能する透明電極 2 5 d とが同一層で形成されていればよく、本発明の効果を達成するにあたって、信号線 1 1 の上層をなす金属配線 2 6 a を形成することは必須ではない。すなわち、前述したように、信号線 1 1 は、場合によっては単層構造であっても構わない。

## 【0 1 6 3】

また、上記実施の形態 1 でも述べたように、上層の画素電極 1 6 が電極線のエッジにかかる断面構成とすると、リーク（ショート）不良が発生する可能性が高いため、層間絶縁膜 2 8 における、画素容量（蓄積容量）3 0 b・3 0 b を形成するためのコンタクトホール 1 5 b・1 5 b は、金属配線 2 6 d のエッジを避けるように 2 分割されて配置されている。そして、画素容量 3 0 b・3 0 b は、画素電極 1 6、保護膜（絶縁膜）2 7 および、透明電極 2 5 d によって平坦に構成されている。

## 【0 1 6 4】

尚、図 7 の E - E' における断面構造は、図 1 の A - A' における断面構造と同一であるため図示しない。また、上記実施の形態 1 および 2 の積層構造は、上記実施の形態 1 および 2 と同一であり、一部の層のパターニング形状を変更するだけであるため、製造工程に関する説明は省略する。

## 【0 1 6 5】

本実施の形態にかかる X 線センサによれば、画素容量配線が金属配線 2 6 d で

あるため、画素容量配線を透明電極で形成する場合と比較して、その抵抗値を十分に小さくすることができる。また、画素容量電極が透明電極 2 5 d で形成されているために、X線の照射方向とは反対側から光を照射して変換層 3 1 を容易にリフレッシュすることができる。

## 【 0 1 6 6 】

また、上記実施の形態 3 および 4 にかかる X 線センサに用いられるアクティブマトリクス基板はいずれも、通常の液晶表示装置の生産プロセスをそのまま展開して、画素容量の大きさや、アクティブ素子（スイッチング素子）の時定数等をセンサ用に最適化するだけで、容易に実現することができるため、生産にあたっては、新たな設備投資等を必要とせず、安価に生産することが可能である。

## 【 0 1 6 7 】

また、信号線 1 1 と画素容量配線とが交差部を持たないため、該信号線 1 1 の負荷容量が激減し、ノイズや、信号の伝達遅延の発生を大幅に抑制することができるのみならず、画素容量配線のインピーダンスも低減することができる。さらに、走査線 1 2 があるラインを選択している時に画素容量配線に生じるノイズは、信号線 1 1 の方向に伝播することはあっても走査線 1 2 の方向に伝播することがないため、同時に選択されている画素を通じて読み出されるデータへの干渉は生じない。

## 【 0 1 6 8 】

尚、X線センサの構造は上記例示のものに限られるものではなく、例えば、X線を一旦可視光に変換して、これをフォトダイオードで読み出す方法を利用するものであってもよい。この場合例えば、A) 一旦画素容量に蓄積された電荷を走査線からの信号に応じて放電し、初期の電荷量との差を読み出す、B) フォトダイオードを流れた電流が画素容量に蓄積されて、これを読み出す、等の幾つかの方法があり、いずれも X 線のエネルギーを直接的に電荷へ変換する方法とはアクティブマトリクス基板上の積層構造は異なるが、画素電極より下層の構造は同一であるため共通のアクティブマトリクス基板を使用することができる。

## 【 0 1 6 9 】

また、上記変換層 3 1 として、放射線電荷変換膜のかわりに光導電膜を使用す

れば、X線等のイメージセンサとしてではなく、可視光、赤外光等の電磁放射線対応イメージセンサとして使用できる。

## 【0170】

## 〔実施の形態5〕

本発明の他の実施の形態について、図16ないし図19に基づいて説明する。尚、本実施の形態にかかるアクティブマトリクス基板は、図12(a)～(h)および図13(a)～(h)に示すアクティブマトリクス基板の製造プロセスを流用できることを特徴のひとつとしており、同図を適宜参照しながら特に異なる点につき説明を行うものとする。また、本実施の形態にかかるアクティブマトリクス基板をなす各層の材料や加工方法等は、従来公知のものを流用することができるため、これらに関する詳細な説明は省略する。

## 【0171】

図16および図17に示すように、本実施の形態にかかるアクティブマトリクス基板は、格子状に配設された信号線11・11および走査線12・12に囲まれて各画素（画素領域）が形成され、また、該信号線11および走査線12の交差部の近傍にはスイッチング素子としてのTFT13が形成されている。

## 【0172】

信号線11・11と平行に配された画素容量配線（蓄積容量共通配線）14は、該信号線11の延伸方向に並ぶ各画素に形成された複数の画素容量（蓄積容量、補助容量）14aを接続する画素容量共通配線であり、例えば、液晶表示装置に用いられる場合には、対向基板の共通電極（図示せず）に接続される。また、画素容量配線14はコンタクトホール40において画素容量電極41に電氣的に接続され、その画素容量電極41が、図17に示すように、ゲート絶縁膜42を介して画素電極43に対向配置されることで、画素容量電極41と画素電極43とにより上記の画素容量14aを形成している。

## 【0173】

さらに、以下の製造工程の記載においても触れるように、上記画素容量電極41は、上記走査線12と同一の層を同時にパターンニングすることによって形成されている。

## 【0174】

次に、図18(a)～(g)に基づいて、本実施の形態にかかるアクティブマトリクス基板の製造工程について具体的に説明する。

## 【0175】

図18(a)に示すように、ガラス等の絶縁性の透明基板50上に例えばTaから成る金属膜51(電極層に相当)を成膜した後、フォトリソグラフィ、およびドライエッチングもしくはウェットエッチングにより、TFT13のゲート電極21および走査線12(図16参照)と、上記画素容量電極41とを同時に形成する(図18(b))。このように、ゲート電極21を含む走査線12と画素容量電極41とは、同一層である金属膜51のパターニングによって、同時に形成され、画素容量電極41は上記画素電極43の下層となるべき部分に形成されている。

## 【0176】

続いて、ゲート電極21および走査線12を電源の陽極に電氣的に接続した状態で、ゲート電極21および走査線12に陽極酸化を施し、ゲート電極21および走査線12の上部に陽極酸化膜44を形成する(図18(c))。尚、ゲート電極21および走査線12と同一層で形成した画素容量電極41には陽極酸化膜は形成されない。これは、画素容量電極41は、それぞれの画素毎に独立した島状パターンとなっており、電氣的に外部回路と接続されていないので、走査線12が電源の陽極に接続されることによって陽極酸化が施される間にも、画素容量電極41は変化を起こさないためである。

## 【0177】

次に、図18(c)に示すように、ゲート絶縁膜42、半導体層52、および $n^+$ -Si層53を連続して積層した後に、パターニングする。尚、 $n^+$ -Si層53は、後にTFT13のソース電極52およびドレイン電極53ともなる。これらの層の積層・パターニングの方法、並びに、形成パターンは従来品と同様にすれば良い。

## 【0178】

具体的には、積層された膜(層)の内、半導体層52および $n^+$ -Si層53

に関しては、半導体層 52 の残すべき形状に応じて同時にパターニングすれば良く、TFT 13 のチャンネル部となる部分の  $n^+$ -Si 層 53 のギャップはまだ形成しない。続いて、ゲート絶縁膜 42 のパターニングが行われるが、該パターニングは、端子近傍の走査線 12 (図 16 参照) と外部とのコンタクト部分を設けるためや、画素容量配線 14 (図 16 および図 17 参照) への信号供給に必要なコンタクト部分 (例えば、対向基板の共通電極とのコンタクト部分) を設けるためであり、さらに、画素容量配線 14 を配設するときに、画素容量配線 14 と画素容量電極 41 とを電氣的に接続するためのコンタクトホール 40 となるべき部分を形成するための工程である。

## 【0179】

次に、信号線 11 および画素電極 43 となる透明導電層 54 (導電層に相当) と、金属層 55 (パターニング後の形状のみ図示) とを連続して積層した後、図 18 (d) に示すように、まず金属層 55 をパターニングする。該金属層 55 のパターニングに続いて、図 18 (e) に示すように、透明導電層 54 をパターニングすることにより、透明電極 54a、画素電極 43 および画素容量配線 14 を形成する。すなわち、従来工程では、信号線および TFT のソース電極、ドレイン電極を形成するのみであったが、本発明では、透明導電層 54 の積層時に、信号線 11 の主要部に加えて、信号線 11 と平行に画素容量配線 14 の主要部をも一緒に形成してしまう。

## 【0180】

こうして、Ta によって既に走査線 12 と同時に形成しておいた画素容量電極 41 と画素電極 43 とは、ゲート絶縁膜 42 を介して画素容量 14a を形成することになる。

## 【0181】

尚、透明電極 54a およびその上に積層された金属層 55 は信号線 11 に相当する。また、透明導電層 54 の形成材料は ITO が一般的である。

## 【0182】

図 18 (e) に続いて、図 18 (f) に示すように、後に TFT 13 となるトランジスタ部において、図 18 (e) のようにパターニングした透明導電層 54

および金属層 5 5 をマスクとして、 $n^+$ -Si 層 5 3 のエッチングを行い、TFT 1 3 のチャネルを形成する。

## 【 0 1 8 3 】

次に、図 1 8 (g) に示すように、むき出しになった半導体層 5 2 を保護するための保護膜 4 5 を成膜した後、画素電極 4 3 の上部における保護膜 4 5 をエッチングによって除去し、図 1 6 に示す開口部 4 6 とする。

## 【 0 1 8 4 】

このようにして完成したアクティブマトリクス部の上に、セレン等から成る変換層を上層として積層し、変換層にバイアス電圧を印加するための電極を設けてイメージセンサが完成する。

## 【 0 1 8 5 】

上述のように、走査線 1 2 および TFT 1 3 のゲート電極 2 1 においては、ゲート絶縁膜 4 2 と陽極酸化膜 4 4 とを積層した二重絶縁構造を採用している。これは、ゲート絶縁膜 4 2 にクラックや小穴が発生し、電氣的なリークが生じた場合に、線欠陥のような重大な表示欠陥が引き起こされるのを防止するためである。

## 【 0 1 8 6 】

これに対し、画素容量 1 4 a では、上記のようなリークが発生したとしても、表示欠陥の程度は点欠陥にとどまるため、画素容量 1 4 a における絶縁は、走査線 1 2 および TFT 1 3 に比べ、さほど重要ではない。むしろ、画素容量 1 4 a において、画素容量電極 4 1 と画素電極 4 3 とに挟まれる誘電体層が、ゲート絶縁膜 4 2 の単層であることによって、誘電率が大きくなるので単位面積あたりの静電容量が大きくなり、より小さな面積で大きな補助容量を得ることができる。

## 【 0 1 8 7 】

一般に、イメージセンサでは変換層で発生した電荷による画素電位の上昇を小さく抑えておくために、補助容量を大きく設定することが多い。したがって、単位面積あたりの静電容量が大きい構造を採ることは、イメージセンサにとって非常に都合がよい。

## 【 0 1 8 8 】

ところで、上記信号線 1 1 を二層の積層構造としているのは、積層時のダスト等による断線に対する冗長としての効果や、上層の金属層 5 5 をパターンニングする際の下地層へのダメージ防止等を目的としたものであり、従来から用いられている手法である。

#### 【0189】

また、透明導電層 5 4 と金属層 5 5 との積層順については、透明導電層 5 4 を上層にする場合と金属層 5 5 を上層にする場合とがあるが、本発明ではどちらが上層であっても構わない。

#### 【0190】

さらに、本実施の形態では、画素容量配線 1 4 の抵抗値を下げる必要が無いので、透明導電層 5 4 に金属層 5 5 を積層させず、透明導電層 5 4 の単層とした。しかし、コンタクトホール 4 0 におけるゲート絶縁膜 4 2 の断面形状によっては、透明導電層 5 4 の段切れが問題となることも多い。したがって、コンタクトホール 4 0 での透明導電層 5 4 の成膜の信頼性を向上させるには、信号線 1 1 と同様に透明導電層 5 4 と金属層 5 5 との二層構造とすることが望ましい。

#### 【0191】

本実施の形態のアクティブマトリクス基板においては、上述したように、画素容量配線 1 4 が交差する線は走査線 1 2 のみであることから、画素容量配線 1 4 の時定数が極めて小さくなり、ノイズや信号伝達の遅延などがほとんど問題にならない。また、前述のように、1 本の画素容量配線 1 4 を共有する複数画素にわたって複数の T F T 1 3 が、同時にオンする瞬間がないため、画素からの信号読み出しの際に、信号が互いに干渉して読み出しの精度が低下するなどの懸念がない。

#### 【0192】

さらに、画素容量電極 4 1 を、走査線 1 2 と同じ不透光性の金属膜で大面積に形成することは、透過型の液晶表示装置等の場合には、開口率の低下が問題になりがちであるが、イメージセンサの場合には、画素電極 4 3 が変換層と接する部分が開口部分とみなされるので、画素電極 4 3 の下層に、走査線 1 2 と同じ材料で大きな補助容量を形成しても問題は無い。

## 【0193】

尚、画素容量配線14の近傍は、いずれの画素においても、画素電極43を配置できない領域となり、この領域のために開口面積が低下することは否めない。しかしながら、イメージセンサにおいては、変換層に強い電圧が印加されており、X線などによって発生した電荷は、その電圧によって画素電極43に集められるため、開口面積の低下は、信号の読み出しにそれ程悪影響を与えない。

## 【0194】

このように、本発明のイメージセンサの製造にあたっては、従来のアクティブマトリクス基板の製造工程と全く同じプロセスを用いて、単にパターンを変更するだけでよい。この結果、工程数の増加、ひいてはアクティブマトリクス基板の製造コストの増加も回避することができる。

## 【0195】

一方、先に説明した従来のセンサ用のアクティブマトリクス基板においては、図14に示すように、画素容量共通配線205bが、信号線201と平行に配設されているので、ノイズや信号遅延に関する効果は本発明と同一である。とはいえ、本発明では、画素容量電極41を走査線12と同一材料を用いて同一工程で形成するため、図14のアクティブマトリクス基板のように、画素容量電極205の形成前に下層ゲート絶縁膜210aを形成する必要が無い。

## 【0196】

すなわち、図15に示す構成では、ゲート電極を含む走査線202を形成した後、下層ゲート絶縁膜210aの成膜と、画素容量電極205の成膜およびパターニングとを順次行うのに対して、本発明の工程では、下層ゲート絶縁膜210aの成膜に相当する工程が無い上に、画素容量電極41の成膜およびパターニングは、走査線12の成膜およびパターニングと同時に遂行する。このため、本発明の工程の方が、図15に示すアクティブマトリクス基板の工程よりも工程数を減らしやすくなり、コストを下げることができる。

## 【0197】

尚、図14に示す工程では、ゲート絶縁膜210bの形成完了後の膜構成が、一見本発明の膜構成よりも簡単に見えるが、本発明においても、前述したとおり



、(1) 画素容量配線 14 は必ずしも二層構造である必要が無いこと、さらに、(2) 図 14 には、半導体層を保護するための保護膜が形成されていないが、デバイスの信頼性を向上させるためには、通常有機膜で形成される層間絶縁膜（ポリマー層）と半導体層との間に、無機の保護膜を配置することが望ましいことを考えると、全体の工程数は、図 14 に示す工程の方が本発明の工程よりも多くならざるを得ない。

## 【0198】

## 〔実施の形態 6〕

本発明の他の実施の形態について、図 19 および図 20 に基づいて説明する。尚、説明の便宜上、前記実施の形態と同一の部材には、同一の符号を付してその説明を省略する。また、本実施の形態にかかるアクティブマトリクス基板をなす各層の材料や加工方法等は、従来公知のものを流用することができ、図 3 (a) ～ (h)、または図 18 (a) ～ (g) を参照して説明した工程と類似するため、図 3 (a) ～ (h)、または図 18 (a) ～ (g) を適宜参照して説明することとし、詳細な工程図は省略する。

## 【0199】

図 19 および図 20 に示すように、本実施の形態にかかるアクティブマトリクス基板では、ゲート電極 21 を含む走査線 12 と画素電極 63 とが、同一層を同時にパターニングすることによって形成されている点、および画素容量配線 14 が、信号線 11 と走査線 12 とで囲まれた画素形成領域の中央付近を通るように、信号線 11 と平行に形成されている点を構成上の特徴としている。

## 【0200】

上記画素容量配線 14 は、図 20 に示すように、ゲート絶縁膜 42 を介して画素電極 63 の上層に対向配置されることで、画素容量配線 14 と画素電極 63 とにより画素容量 143 を形成している。

## 【0201】

次に、本実施の形態にかかるアクティブマトリクス基板の製造工程について具体的に説明する。

## 【0202】

前実施の形態で参照した図18(a)と同様にして、ガラス等の絶縁性の透明基板50上に例えばTaから成る金属膜(電極層に相当)を成膜した後、図18(b)と同様にして、フォトリソグラフィ、およびドライエッチングもしくはウェットエッチングにより、TFT13のゲート電極21および走査線12と、上記画素電極63の島状パターン(図19・20参照)とを同時に形成する。このように、ゲート電極21を含む走査線12と画素電極63とは、同一層である金属膜のパターニングによって、同時に形成される。

#### 【0203】

続いて、ゲート電極21および走査線12を電源の陽極に電氣的に接続した状態で、ゲート電極21および走査線12に陽極酸化を施し、ゲート電極21および走査線12の上部に陽極酸化膜44を形成する。尚、ゲート電極21および走査線12と同一層で形成した画素電極63には陽極酸化膜は形成されない。これは、画素電極63は、それぞれの画素毎に独立した島状パターンとなっており、電氣的に外部回路と接続されていないので、走査線12が電源の陽極に接続されることによって陽極酸化が施される間にも、画素電極63は変化を起こさないためである。

#### 【0204】

次に、ゲート絶縁膜42と、半導体層52と、ソース電極53aおよびドレイン電極53bを形成するための $n^+$ -Si層とを連続して積層し、半導体層52および $n^+$ -Si層をパターニングする。この後、ゲート絶縁膜42のパターニングを続けて行う。すなわち、画素電極63の中央付近に、画素容量配線14に対応する部分を残し、その両側に略矩形状の開口部66を形成するように、ゲート絶縁膜42を除去する。

#### 【0205】

次に、図21(a)〜(c)と同様にして、透明電極54aおよび金属配線55aとから成る信号線11と、透明電極54bおよび金属配線55bとから成る接続電極67と、透明電極54cおよび金属配線55cとから成る画素容量配線14を一緒に形成する。すなわち、信号線11の透明電極54bと、画素容量配線14の透明電極54cとを同一の透明導電層のパターニングによって形成すると共

に、信号線 1 1 の金属配線 5 5 b と、画素容量配線 1 4 の金属配線 5 5 c とを同一の金属層（導電層）のパターニングによって形成する。

## 【 0 2 0 6 】

このとき、上記接続電極 6 7 を構成する透明電極 5 4 b および金属配線 5 5 b を、T F T 1 3 のドレイン電極 5 3 b の形成部位から、先に形成した画素電極 6 3 まで延伸させ、ドレイン電極 5 3 b に近い側の開口部 6 6 において、画素電極 6 3 と導通させる。

## 【 0 2 0 7 】

続いて、図 3 (c) (f) と同様にして、T F T 1 3 のチャネルおよび保護膜 4 5 を形成する。ここで、保護膜 4 5 はゲート絶縁膜 4 2 と同じパターンで形成することになるので、ゲート絶縁膜 4 2 のパターニングに用いたフォトマスクをそのまま使用することができる。これにより、アクティブマトリクス基板の製造コストを削減することができる。

## 【 0 2 0 8 】

あるいは、前述したように、半導体層 5 2 および  $n^+$  - S i 層の形成後で、かつ信号線 1 1 および画素容量配線 1 4 を同時に形成するための透明導電層および金属層の成膜前の段階で、ゲート絶縁膜 4 2 をパターニングするのは、透明導電層が画素電極 6 3 に接続されるのに必要なコンタクト部を形成する領域にとどめておき、開口部 6 6 の大半の領域は、保護膜 4 5 の成膜後に、保護膜 4 5 のパターニングとゲート絶縁膜 4 2 のパターニングとを同時に行ってもよい。これは、保護膜 4 5 に、ゲート絶縁膜 4 2 とほぼ同じ材料を用いることができるためである。

## 【 0 2 0 9 】

このように、保護膜 4 5 とゲート絶縁膜 4 2 とを同時にパターニングすることにより、画素電極 6 3 を露出させる開口部 6 6 を最終段階で形成することになるため、画素電極 6 3 上に変換層を積層する前に、画素電極 6 3 の表面が汚染されることを最小限に抑えることができる。このため、変換層を安定して形成することができる。

## 【 0 2 1 0 】

ところで、本実施の形態では、画素容量 1 4 a を大きくする場合、画素電極 6 3 の上層として形成した画素容量配線 1 4 の幅を広くすることになるため、開口部 6 6 の縮小を余儀なくされる。

#### 【 0 2 1 1 】

しかし、逆に、画素容量 1 4 a を比較的小さくできる場合には、前実施の形態における図 1 6 に示すようなコンタクトホール 4 0 を形成するのに必要な最低限の領域を確保することが不要になる。しかも、図 1 6 に示すような画素電極 4 3 と画素容量配線 1 4 との間に必要な空間的なマージンや、画素容量配線 1 4 と信号線 1 1 との間に必要な空間的なマージンなどが不要になる。

#### 【 0 2 1 2 】

したがって、画素容量 1 4 a を比較的小さくできる場合には、かえって開口部 6 6 を大きく取ることができる。なお、画素容量 1 4 a を比較的小さくできる場合とは、高速動画撮影に限定した装置構成を採る場合や、動画と静止画とを撮影する兼用型の装置構成を採る場合であっても、ノイズ除去などを目的として、複数フレームの画像データから 1 枚の画面を合成する装置構成を採る場合などである。このような場合には、画素容量 1 4 a をあまり大きく設定しなくても、画素電位が上昇し過ぎて電荷が漏れ出したり、T F T 1 3 が破壊される懸念が無い。

#### 【 0 2 1 3 】

上記の「コンタクトホール 4 0 を形成するのに必要な最低限の領域を確保する」理由は、以下のとおりである。すなわち、一般にコンタクトホールを形成した場合、低抵抗で良好なコンタクトを得ることは困難な場合が多い。それは、コンタクトホールが小さな窪みであるために、コンタクトホールを形成するためのエッチング時に、コンタクトホールの底部にスカムのような不要物が残りやすいからであり、また、そのために、コンタクトホールが小さければ小さい程、単位面積あたりの接触抵抗が大きくなるからである。したがって、前実施の形態の場合には、コンタクトホール 4 0 の大きさをある程度確保しておかなければ、不具合を生じるおそれがあるということである。

#### 【 0 2 1 4 】

尚、上記の観点から、本実施の形態における開口部 6 6 の場合には、その開口

面積を最大限大きく設定するので、スカムのような不要物が残るおそれはなく、開口部 6 6 における接続電極 6 7 と画素電極 6 3 との導通は、良好に行われる。

#### 【0 2 1 5】

また、図 1 6 に示す構成と異なり、画素容量配線 1 4 を画素の中央を通るように配することができるため、隣り合う画素同士の画素電極 6 3 間のギャップを、図 1 6 に示す画素電極 4 3 間のギャップより小さくして、電荷収集の困難な部分を、隣接画素間と画素中央とに分散させることができる。この結果、電荷収集の効率を上げることもできる。

#### 【0 2 1 6】

尚、走査線 1 2 および画素電極 6 3 を同じ T a の層で形成する場合を説明したが、形成材料が T a に限定されないことはいうまでもない。すなわち、変換層の物性との相性に応じて、A l や M o その他の材料でもよく、従来のアクティブマトリクス基板の製造ラインを有効に使用できる範囲で、適宜選択することができる。

#### 【0 2 1 7】

##### 〔実施の形態 7〕

本発明の他の実施の形態について、図 2 1 ないし図 2 3 に基づいて説明する。尚、説明の便宜上、前記実施の形態と同一の部材には、同一の符号を付してその説明を省略する。

#### 【0 2 1 8】

前記実施の形態 6 の構成では、走査線 1 2 および画素電極 6 3 の材料を変換層との相性によって変えることが、困難な場合もあり得る。これは、従来のアクティブマトリクス基板の製造ラインを有効に使用するという制約に起因する。

#### 【0 2 1 9】

また、金属層としての画素電極 6 3 が露出した状態では、その表面の酸化が進行しやすいため、変換層との導通を十分取れなくなるおそれもある。特に、変換層の材料にアモルファスセレンを用いた場合、アモルファスセレンが非常に熱や水分に弱いため、アモルファスセレンの成膜前に、基板分断や回路実装などを行う可能性がある。画素電極 6 3 には、この間に表面状態が劣化しないことが求め

られる。

#### 【0220】

そこで、本実施の形態として図21に示すように、前記開口部66を透明導電層で覆うようにしてもよい。この透明導電層の材料としては、従来のアクティブマトリクス基板の画素電極に用いられてきたITOが好ましい。

#### 【0221】

しかも、開口部66を透明導電層で覆う工程は、信号線11、接続電極67、画素容量配線14をそれぞれ構成する金属配線55a・55b・55cのパターニングの後、同じく信号線11、接続電極67、画素容量配線14をそれぞれ構成する透明電極54a・54b・54cをパターニングする工程を利用することができる。したがって、本実施の形態の利点を全く損なうことなく、従来のアクティブマトリクス基板の製造工程を何ら変更することなく、信頼性および歩留りの一層高いアクティブマトリクス基板を得ることができる。

#### 【0222】

より具体的には、上記透明電極54a・54b・54cを形成するために画素電極63上に積層されていた透明導電層をパターニングする際に、図21に示すように、開口部66・66上に透明電極54bと透明導電膜54dとが残るように、かつ透明電極54bと透明導電膜54dとが、画素容量配線14を構成する透明電極54cに接触しないようにすればよい。

#### 【0223】

次に、図21に示す構成の変形例を、図22および図23に示す。すなわち、この変形例では、図21に示す画素電極63の走査線12に平行な辺の幅を、画素容量配線14の幅より若干広い程度に狭めることによって、画素電極63を下層画素電極63a（第2の画素電極に相当）に変更し、これに伴って図23に示すように「開口部66」を「絶縁膜42と透明電極54e」（第1の画素電極に相当）、若しくは「絶縁膜42と透明電極54e」（第1の画素電極に相当）とを積層させている。

#### 【0224】

すなわち、電荷を収集する画素電極の機能を、ITOから成る透明電極54b

1・54eが担っている。

【0225】

尚、画素容量14aは、上記下層画素電極63aとその上層の画素容量配線14とで形成される。したがって、ドレイン電極53bと下層画素電極63aとを導通させるため、下層画素電極63aのドレイン電極53bに近い一隅に、コンタクトホール68aを形成する領域を確保する。また、もう一方の開口部66に積層された透明電極54eを、下層画素電極63aを介してドレイン電極53bに導通させるために、下層画素電極63aの他の一隅に、上記コンタクトホール68aと向かい合わせに、コンタクトホール68bを形成する領域を確保する。

【0226】

このようなアクティブマトリクス基板の構造でも、開口部66の面積は、前記実施の形態6の場合とほぼ同等であり、電荷収集の効率についても同等である。また、実施の形態6で説明した他の利点についても、上記コンタクトホール68a・68bを形成するためのゲート絶縁膜42のパターニングに、保護膜45のパターニングと同じフォトリソグラフィを用いる点を除けば、全て備えているといえる。

【0227】

さらに、信号線11を構成する透明電極54a、第1の画素電極としての透明電極54b<sub>1</sub>・54e、および画素容量配線14を構成する透明電極54cを、同一の導電層のパターニングによって形成することができるため、工程数を減らして製造コストを削減することができる。

【0228】

さらに、本実施の形態の構造では、下層画素電極63aの幅が、図21に示す画素電極63の幅より狭く設定されていることにより、透光部分が画素の大半を占めている。このため、X線の照射方向と反対方向の透明基板50の側から、アクティブマトリクス基板全体に光を照射し、変換層をリフレッシュするのに都合が良い。

【0229】

すなわち、変換層の性質によっては、電荷の読み出し後も、微小電荷が変換層

に残留して信号の精度を損ねたり、変換層に分極が発生し変換層そのものの信頼性を損ねたりすることがある。そこで、各読み出しフレーム間のインターバルなどに一定周期で、変換層に光を照射することが、変換層をリフレッシュする有効手段となる場合がある。このような場合には、透明基板 5 0 側から、アクティブマトリクス基板全体に光を照射し、変換層に光を十分当てるのに、ゲート電極や画素電極のような不透光領域は、少ない方が望ましいということである。

## 【 0 2 3 0 】

## 〔実施の形態 8〕

本発明の他の実施の形態について、図 2 4 および図 2 5 に基づいて説明する。尚、説明の便宜上、前記実施の形態と同一の部材には、同一の符号を付してその説明を省略する。

## 【 0 2 3 1 】

本実施の形態では、前記実施の形態 5 の図 1 6 および図 1 7 に示す画素電極 4 3 を、下層画素電極 4 3 a (第 2 の画素電極に相当) に変更し、下層画素電極 4 3 a の上に層間絶縁膜 7 1 を介在させて上層画素電極 4 3 b (第 1 の画素電極に相当) を設け、上層画素電極 4 3 b を信号線 1 1、走査線 1 2 および画素容量配線 1 4 の上層に重ねて配置するようにした点が、構成上の特徴となっている。

## 【 0 2 3 2 】

したがって、本実施の形態のアクティブマトリクス基板は、図 1 6 および図 1 7 に示すアクティブマトリクス基板の構成をほぼそのまま援用して構成されている。すなわち、上記下層画素電極 4 3 a は、層間絶縁膜 7 1 および上層画素電極 4 3 b を配設しないとすれば、図 1 6 に示す開口部 4 6 に合わせて保護膜 4 5 を除去するだけで、前記画素電極 4 3 として機能する電極である。

## 【 0 2 3 3 】

また、下層画素電極 4 3 a は、透明導電層 5 3 のハタチングによって形成され、ドレイン電極 5 3 b に接続された導電体層であり、画素容量電極 4 1 と共に画素容量を形成するので、特許請求の範囲において「蓄積容量は、上記画素電極と蓄積容量電極との間に形成され」と記載された「画素電極」に相当している。

## 【 0 2 3 4 】



製造に際しては、図 1 8 (a) ~ (f) の工程をそのまま遂行した後、保護膜 4 5 を成膜する。そして、上層画素電極 4 3 b と下層画素電極 4 3 a とを導通させるためのコンタクトホール 7 2 を形成する部位から保護膜 4 5 を局部的に除去した後、アクリル系の感光性樹脂を塗布する。続いて、上記コンタクトホール 7 2 の形成部位を露光して現像すると、保護膜 4 5 および層間絶縁膜 7 1 を通してコンタクトホール 7 2 が開口した形態となる。

## 【 0 2 3 5 】

その後、ITO から成る上層画素電極 4 3 b を成膜すれば、アクティブマトリクス基板が完成する。上層画素電極 4 3 b は、コンタクトホール 7 2 を介して、TFT 1 3 のドレイン電極 5 3 b から延伸された透明導電膜である下層画素電極 4 3 a と接続される。

## 【 0 2 3 6 】

本実施の形態によれば、信号線 1 1、走査線 1 2 および画素容量配線 1 4 の上に、上層画素電極 4 3 b を部分的に重なるように配置することができるので、開口面積を飛躍的に大きくすることができる。

## 【 0 2 3 7 】

イメージセンサでは、前述のように、光の透過する領域が開口部となるのではなく、画素電極が変換層に接触する領域が開口部となる。したがって、本実施の形態の構成では、上層画素電極 4 3 b に、隣接する画素間の間隙 7 3 (図 2 5 参照) を形成するのに必要な領域を除くほぼ全域が開口部となるので、変換層で発生した電荷を上層画素電極 4 3 b によって最大効率で収集することができる。

## 【 0 2 3 8 】

また、上記層間絶縁膜 7 1 を、3  $\mu$  m の厚みで、スピン塗布法によって形成するので、層間絶縁膜 7 1 表面の平坦度を極めて高くすることができる。これにより、変換層をアモルファスセレンで形成する場合に、良質の変換層を安定して形成することができる。

## 【 0 2 3 9 】

すなわち、変換層をアモルファスセレンで形成する場合、下地層の平坦度が悪ければ、その凹凸を起点にしてアモルファスセレンの結晶化が進行し、所望の特

性が得られなくなるおそれがある。これに対し、上記層間絶縁膜 7 1 をスピン塗布法によって形成することにより、下層の凹凸が層間絶縁膜 7 1 によって覆われて平坦化するので、結晶化の起点が発生しない。加えて、上記コンタクトホール 7 2 をフォトリソグラフィによって形成するため、コンタクトホール 7 2 のエッジ形状がなだらかとなるので、コンタクトホール 7 2 が結晶化の起点となることもない。

## 【 0 2 4 0 】

尚、本実施の形態では、上層画素電極 4 3 b が信号線 1 1 にも重なるように構成したが、層間絶縁膜 7 1 の誘電率や膜厚により、上層画素電極 4 3 b と信号線 1 1 との間の静電容量が不所望に大きくなり、信号線 1 1 の容量増大やノイズの増加といった懸念がある場合には、いうまでもなく、上層画素電極 4 3 b を信号線 1 1 に重ねないように配置することが望ましい。

## 【 0 2 4 1 】

たとえ、そのように上層画素電極 4 3 b を配置したとしても、実施の形態 5 の構成と比較して、電荷の収集効率が低いという効果と、アモルファスセレンの結晶化を防止できるという効果とが得られることに変わりはない。

## 【 0 2 4 2 】

すでに述べたとおり、層間絶縁膜を用いたアクティブマトリクス基板は、従来の液晶表示装置でも用いられており、その製造工程をそのまま利用して、パターンニングの形状を変更するだけで、本実施の形態のアクティブマトリクス基板を製造することができるため、製造コストを低く抑えることができる。

## 【 0 2 4 3 】

ところで、本実施の形態の構成は、イメージセンサ用のアクティブマトリクス基板のみならず、液晶表示装置にも応用することができる。ただし、画素容量配線 1 4 と画素容量電極 4 1 とを、不透光性の金属層で形成しているため、透過型の液晶表示装置に用いるには、開口率（この場合は光が透過する領域の割合）が低くなり過ぎるため、実用的ではない。一方、市場が近年拡大しつつある反射型の液晶表示装置であれば、上層画素電極 4 3 b の下層に不透光性のパターンが存在しても、問題にならない。

## 【 0 2 4 4 】

尚、本実施の形態のアクティブマトリクス基板を反射型の液晶表示装置に用いる場合には、上層画素電極 4 3 b を I T O ではなく、アルミニウムなどの反射率が高い金属で形成する必要があることは、いうまでもない。

## 【 0 2 4 5 】

## 〔実施の形態 9〕

本発明の他の実施の形態について、図 2 6 ないし図 2 9 に基づいて説明する。尚、説明の便宜上、前記実施の形態と同一の部材には、同一の符号を付してその説明を省略する。

## 【 0 2 4 6 】

本実施の形態のアクティブマトリクス基板は、前記実施の形態 7 の図 2 3 に示すアクティブマトリクス基板において、開口部 6 6 ・ 6 6、コンタクトホール 6 8 b および透明電極 5 4 e を形成しない状態で、層間絶縁膜 7 1 および上層画素電極 4 3 b' を積層し、かつゲート絶縁膜 4 2 のコンタクトホール 6 8 a に、層間絶縁膜 7 1 のコンタクトホール 7 2 a を一致させて、下層画素電極 6 3 a と上層画素電極 4 3 b' と透明電極 5 4 b<sub>2</sub> との導通を取った構成である。

## 【 0 2 4 7 】

尚、透明電極 5 4 b<sub>2</sub> は、ドレイン電極 5 3 b と上層画素電極 4 3 b' とを電氣的に接続する接続電極としての役割を担っている。また、画素容量配線 1 4 は、透明電極 5 4 c に相当する透明電極 5 4 c' と、金属配線 5 5 c に相当する金属配線 5 5 c' とで構成されている。

## 【 0 2 4 8 】

したがって、その製造に際しては、図 2 3 に示すアクティブマトリクス基板の製造工程において、ゲート絶縁膜 4 2 にコンタクトホール 6 8 a を形成するとき、コンタクトホール 6 8 a の形成を行わず、さらに、透明電極 5 4 a の形成時、透明電極 5 4 b<sub>2</sub> ・ 5 4 c の形成時に、透明電極 5 4 e の形成を行わないようにするだけでよい。

## 【 0 2 4 9 】

この後、保護膜 4 5 を形成し、コンタクトホール 6 8 a の部位から保護膜 4 5

を除去し、前記実施の形態 8 と同様の工程にて、コンタクトホール 7 2 の代わりにコンタクトホール 7 2 a を有する層間絶縁膜 7 1 と上層画素電極 4 3 b' とを形成する。

#### 【0 2 5 0】

本実施の形態のアクティブマトリクス基板をイメージセンサに適用すると、前記実施の形態 8 と同様の効果が得られる一方、液晶表示装置に適用する場合には、反射型のみならず透過型にも適用できるメリットがある。

#### 【0 2 5 1】

これは、画素容量 1 4 a を構成する不透光性の下層画素電極 6 3 a を、画素容量配線 1 4 の下層に幅狭く形成していることによる。このため、光の透過を妨げる部分は、信号線 1 1、走査線 1 2、画素容量配線 1 4 の周囲、および下層画素電極 6 3 a に形成したコンタクトホール 6 8 a を確保するための領域のみなので、画素の開口率は、従来の層間絶縁膜を用いたアクティブマトリクス基板と全く同等に確保することができる。

#### 【0 2 5 2】

さらに、隣接する画素間の間隙 7 3 (図 2 7) のような上層画素電極 4 3 b に覆われていない部分の下層には、信号線 1 1 や走査線 1 2 を構成する金属層が必ず配置されているため、液晶を挟んだ対向基板側にブラックマトリクスを設けずに済むという、従来の層間絶縁膜を用いたアクティブマトリクス基板が備える優位点を完全に保有している。その上で、信号線 1 1 が走査線 1 2 とのみ交差することによる、前述した特有の効果も得ることができる。

#### 【0 2 5 3】

尚、本実施の形態において、コンタクトホール 6 8 a およびコンタクトホール 7 2 a を、ゲート絶縁膜 4 2、保護膜 4 5 および層間絶縁膜 7 1 の同一箇所を通して形成する構成としたのは、別の箇所は他のコンタクトホールを設けるのに、余計な不透光性領域を確保する必要を避け、開口率の低下を防止するため、および、層間絶縁膜 7 1 のコンタクトホール 7 2 a が誘発する液晶の配向乱れを、下層画素電極 6 3 a によって遮光してしまうためである。

#### 【0 2 5 4】

また、コンタクトホール 6 8 a およびコンタクトホール 7 2 a を同一箇所に形成する構成は、同一のフォトマスクの使用を可能とするので、製造コストの削減にも寄与する。

#### 【 0 2 5 5 】

尚、透明電極 5 4  $b_2$  等の形成層である透明導電層、および金属配線 5 5 c' 等の形成層である金属層の成膜前にゲート絶縁膜 4 2 をパターニングするのではなく、保護膜 4 5 の成膜後に、保護膜 4 5 とゲート絶縁膜 4 2 とのパターニングを同時に行ってもよい。あるいは、層間絶縁膜 7 1 をパターニングした後、これをレジストの代わりにして、フォトリソグラフィ工程を通すことなく、保護膜 4 5 およびゲート絶縁膜 4 2 を同時にパターニングしてもよい。

#### 【 0 2 5 6 】

このとき取るべき構造を図 2 8 および図 2 9 に示す。図 2 8 は、図 2 6 に示すコンタクトホール 7 2 a の近傍に相当するコンタクトホール 7 2 a' の近傍のみを抜き出して示す要部平面図であり、図 2 9 は、図 2 8 における N - N' 線に沿う矢視断面図である。

#### 【 0 2 5 7 】

図 2 6 および図 2 7 に示す構造では、保護膜 4 5 とゲート絶縁膜 4 2 とは同じパターンであるにもかかわらず、保護膜 4 5 とゲート絶縁膜 4 2 との間に透明電極 5 4  $b_2$  を介在させているため、保護膜 4 5 およびゲート絶縁膜 4 2 を同時にパターニングすることができない。つまり、透明電極 5 4  $b_2$  と下層画素電極 6 3 a とを接続するためには、透明電極 5 4  $b_2$  等の形成層である透明導電層の成膜前に、ゲート絶縁膜 4 2 にコンタクトホール 6 8 a を形成するパターニングを施す必要があるからである。

#### 【 0 2 5 8 】

これに対し、図 2 8 および図 2 9 に示す構成では、ゲート絶縁膜 4 2 を下層画素電極 6 3 a 上に成膜した後、ゲート絶縁膜 4 2 をパターニングせずに、透明電極 5 4  $b_2$  のパターン形成を行う。すなわち、コンタクトホール 6 8 a の形成部位には、透明電極 5 4  $b_2$  を形成しない。したがって、この後にパターン形成した層間絶縁膜 7 1 をマスク代わりにして、保護膜 4 5 とゲート絶縁膜 4 2 とを同

時にパターニングすると、保護膜 4 5 にはコンタクトホール 7 2 a' に応じた大きさの抜き部分が形成されるが、ゲート絶縁膜 4 2 には、層間絶縁膜 7 1 と透明電極 5 4 b<sub>2</sub> とがマスク代わりとなって、コンタクトホール 7 2 a' より小さいコンタクトホール 6 8 a に応じた抜き部分が形成される。

## 【 0 2 5 9 】

このようなエッチングが可能なのは、ゲート絶縁膜 4 2 と保護膜 4 5 とを同じ材料または特性的に類似の材料 ( S i N<sub>x</sub> 、 S i O<sub>2</sub> 等 ) で形成しているためであり、またエッチャントの選択比が透明電極 5 4 b<sub>2</sub> ( 例えば I T O ) との間で十分に大きいためである。すなわち、ゲート絶縁膜 4 2 および保護膜 4 5 の同時パターニングには、バッファードフッ酸などのエッチング液を用いるが、このようなエッチング液は、I T O を分解しないため、透明電極 5 4 b<sub>2</sub> が有る部分と無い部分とで、ゲート絶縁膜 4 2 を選択的に除去することができる。

## 【 0 2 6 0 】

こうして、コンタクトホール 7 2 a' の中に、透明電極 5 4 b<sub>2</sub> とゲート絶縁膜 4 2 との積層体が残された部分と、そのような積層体が存在せず、下層画素電極 6 3 a が露出した部分とが形成される。この両部分に上層画素電極 4 3 b' を配置することで、上層画素電極 4 3 b' を介して透明電極 5 4 b<sub>2</sub> と下層画素電極 6 3 a とを導通させることができる。なお、透明電極 5 4 b<sub>2</sub> は、ドレイン電極 5 3 b と上層画素電極 4 3 b' とを電氣的に接続する接続電極としての役割を担っている。

## 【 0 2 6 1 】

このように、保護膜 4 5 およびゲート絶縁膜 4 2 を同時にパターニングすることができ、しかも方法によっては、層間絶縁膜 7 1 をレジストの代わりにして、フォトリソグラフィ工程をスキップすることができるので、工程数が著しく減少する結果、大幅な製造コストの削減を達成することができる。

## 【 0 2 6 2 】

## 〔実施の形態 1 0〕

本発明の他の実施の形態について、図 3 0 および図 3 1 に基づいて説明する。尚、説明の便宜上、前記実施の形態と同一の部材には、同一の符号を付してその

説明を省略する。

【 0 2 6 3 】

本実施の形態のアクティブマトリクス基板は、前記実施の形態 9 の図 2 7 に示すアクティブマトリクス基板と、層間絶縁膜のパターンにおいて異なっており、これに伴って上層画素電極の積層形状も異なっている以外、他の構成については全く同じである。

【 0 2 6 4 】

すなわち、層間絶縁膜 7 1 a のコンタクトホール 7 2 b を、ゲート絶縁膜 4 2 のコンタクトホール 6 8 a と同じパターンにするのではなく、コンタクトホール 6 8 a の上部から画素容量配線 1 4 の上部にわたって層間絶縁膜 7 1 を取り除くことによって、コンタクトホール 7 2 b を図 2 7 に示すコンタクトホール 7 2 a よりも大きく開口させている。

【 0 2 6 5 】

上記の構成によれば、上層画素電極 4 3 c と画素容量配線 1 4 とが、保護膜 4 5 を挟んで静電容量を形成することになる。これにより、画素容量配線 1 4 が、保護膜 4 5 およびゲート絶縁膜 4 2 を介して、上層画素電極 4 3 c と下層画素電極 6 3 a とで挟まれる結果、画素容量 1 4 a の大きさを約 2 倍にすることができる。

【 0 2 6 6 】

これは、下層画素電極 6 3 a と画素容量配線 1 4 とが形成する静電容量に、上層画素電極 4 3 c と画素容量配線 1 4 とが形成する静電容量が加わるからにほかならない。

【 0 2 6 7 】

なお、保護膜 4 5 は、ゲート絶縁膜 4 2 とほぼ同じシリコン窒化膜を 3 0 0 0 Å 程度積層することによって形成されているので、上層画素電極 4 3 c と画素容量配線 1 4 とが形成する静電容量は、下層画素電極 6 3 a と画素容量配線 1 4 とが形成する静電容量と、ほぼ同等の大きさとなる。

【 0 2 6 8 】

このように、画素容量 1 4 a を二重に形成する構成により、このアクティブマ

トリクス基板を液晶表示装置に使用する場合には、画素容量 1 4 a を形成する領域の面積を減らすことができ、開口率をさらに向上させることができる。また、イメージセンサのように極めて大きな画素容量が必要な場合でも、画素容量の必要な大きさを容易に得ることができる。

## 【 0 2 6 9 】

また、従来のアクティブマトリクス基板の製造工程と比べて、工程数は全く増加せず、工程自体の基本的な変更が不要であるため、開口率の向上、画素容量配線・信号線の負荷低減、大画素容量といった利点を併せ持つ、優れた性能のアクティブマトリクス基板を安価に製造することができる。

## 【 0 2 7 0 】

## 【発明の効果】

本発明に係るアクティブマトリクス基板は、以上のように、格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、上記走査線と信号線との交差部近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されている構成である。

## 【 0 2 7 1 】

上記の構成によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

## 【 0 2 7 2 】



また、上記構造のアクティブマトリクス基板を用いて、例えば液晶表示装置やイメージセンサ等のデバイスを構成すれば、信号線が交差する線は走査線のみとすることができ、ノイズや信号伝達の遅延などを有効に防止することができる。さらに、1本の蓄積容量共通配線を共有する複数画素にわたってスイッチング素子が同時にオンする瞬間がないため、クロストーク等を防ぐことができる。

## 【 0 2 7 3 】

すなわち、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板を提供することができるという効果を奏する。

## 【 0 2 7 4 】

本発明に係るアクティブマトリクス基板は、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていても、従来の製造工程をそのまま利用でき、前述と同様の効果を得ることができる。

## 【 0 2 7 5 】

本発明に係るアクティブマトリクス基板は、以上のように、上記蓄積容量電極が透明電極膜であってもよい。

## 【 0 2 7 6 】

上記の構成によれば、例えばアクティブマトリクス基板を液晶表示装置用に使用した場合は、画素の開口率を低下させることがない。また、該アクティブマトリクス基板をイメージセンサ用に使用した場合、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうことができるという効果を加えて奏する。

## 【 0 2 7 7 】

また、蓄積容量共通配線も透明電極膜で構成したアクティブマトリクス基板を使用すれば、遮光エリアがより少なくなるので、上記の効果を大きくすることができる。

## 【 0 2 7 8 】

本発明に係るアクティブマトリクス基板は、さらに、上記スイッチング素子の上層を覆う絶縁膜を介して、上記画素電極と蓄積容量電極とが対向配置されていてもよい。

## 【 0 2 7 9 】

上記の構成によれば、画素電極、スイッチング素子の層を覆う絶縁膜、および、蓄積容量電極とによって蓄積容量が形成される。すなわち、特別な工程（例えば、画素電極と蓄積容量電極との間に別に誘電層を形成する工程）を追加することなく、容易に蓄積容量を形成することができ、アクティブマトリクス基板の生産性を向上させることができるという効果を、さらに加えて奏する。

## 【 0 2 8 0 】

本発明に係るアクティブマトリクス基板は、以上のように、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されている構成であってもよい。

## 【 0 2 8 1 】

上記の構成によれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）との間にさらに層間絶縁膜が追加されることにより互いの影響を低減することができる。また、蓄積容量の大きさは、層間絶縁膜に設けられるコンタクトホール大きさにより制御されるので、パターンニング容易な層間絶縁膜を用いることにより、蓄積容量値の制御を容易、かつ精確に行うことができるという効果を、さらに加えて奏する。

## 【 0 2 8 2 】

本発明に係るアクティブマトリクス基板の製造方法は、以上のように、上記構成のアクティブマトリクス基板の製造方法であって、上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターンニングすることにより形

成する工程を含む方法である。

【0283】

上記の方法によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念をなくすることができるという効果を奏する。

【0284】

本発明に係るイメージセンサは、以上のように、上記構成のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有する構成である。

【0285】

上記の構成によれば、イメージセンサに入射した電磁放射線は、変換部において電荷に変換され、続いて該電荷が静電容量（蓄積容量）として蓄積される。一般にイメージセンサは、蓄積容量やノイズに対する要求水準が高いが、上記のアクティブマトリクス基板を備えたイメージセンサにおいては、静電容量として蓄積された信号の読み出し特性に影響を与えない程度にこれらを抑えることができる。また、イメージセンサのアクティブマトリクス基板を製造する際には、新たな工程を追加する必要がなく、また、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用することができる。したがって、新たな設備投資、ラインの生産性の低下を招来することなく該イメージセンサを提供することができる。

【0286】

また、蓄積容量電極を透明電極膜で構成したアクティブマトリクス基板を使用すれば、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する方法による変換層のリフ

レッシュを効率的におこなうことができる。

【0287】

また、蓄積容量共通配線も透明電極膜で構成したアクティブマトリクス基板を使用すれば、遮光エリアがより少なくなるので、上記の効果を大きくすることができる。

【0288】

さらに、スイッチング素子の上層を覆う絶縁膜を介して、画素電極と蓄積容量電極とが対向配置されている構成を有するアクティブマトリクス基板を使用すれば、新たな工程を追加することなくイメージセンサを製造することができ、該構成を前提に、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールにおいて上記画素電極と蓄積容量電極とが対向配置されている構成のアクティブマトリクス基板を使用すれば、画素電極と電極線間の影響が低減され、また、蓄積容量値が精確に制御されてなるイメージセンサを提供することができるという効果を奏する。

【0289】

本発明に係るアクティブマトリクス基板は、以上のように、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、蓄積容量の形成に供される蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記蓄積容量は、上記画素電極と蓄積容量電極との間に形成され、かつ上記走査線と蓄積容量電極とが、同一の電極層をパターンニングすることにより形成されていてもよい。

【0290】

これにより、信号線と蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じ効果を奏する。

【0291】

また、画素電極と蓄積容量を形成する蓄積容量電極と走査線とを、同一層で形

成するタイプのアクティブマトリクス基板は、蓄積容量電極を大面積に形成して、画素容量値の大きな、すなわち電荷収集効率が高く、高耐圧のイメージセンサを構成するのに有利である。これは、蓄積容量電極の上層に絶縁膜を介して形成される画素電極が、変換層と接することによって形成される画素電極の開口面積に対し、蓄積容量電極は影響を与えないからである。

## 【 0 2 9 2 】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、信号線と画素電極とが、同一の導電層をパターンニングすることにより形成されていてもよい。

## 【 0 2 9 3 】

これにより、走査線および蓄積容量電極を同時進行で形成した後に、信号線および画素電極を再び同時進行で形成することができるので、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができるという効果を奏する。

## 【 0 2 9 4 】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、上記画素電極を最上層に配置する層間絶縁膜を備えていてもよい。

## 【 0 2 9 5 】

これにより、画素電極をアクティブマトリクス基板の最上層に配置することによって、画素の開口面積を飛躍的に大きく設定することができる。したがって、上記のアクティブマトリクス基板に変換層を積層してイメージセンサを構成した場合、変換層で発生した電荷を最大効率で、画素電極に収集することができる。

## 【 0 2 9 6 】

さらに、画素の開口率を十分大きくすることができるとともに、イメージセンサのみならず、液晶表示装置にも好適なアクティブマトリクス基板を提供することができるという効果を奏する。

## 【 0 2 9 7 】

本発明に係るアクティブマトリクス基板は、以上のように、格子状に配された

複数の走査線および信号線により形成される画素領域毎に画素電極が設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記走査線と画素電極とが、同一の電極層をパターニングすることにより形成されていてもよい。

## 【0298】

このような構成によっても、信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じ効果を奏する。

## 【0299】

その上、走査線および画素電極の層の上にゲート絶縁膜を成膜し、スイッチング素子、信号線、蓄積容量電極および蓄積容量共通配線を形成して保護膜を成膜した後、保護膜とゲート絶縁膜とを、同じフォトリソマスク等を用いて同時にパターニングし、画素電極の開口部を一度に形成することができるので、製造コストを大幅に削減することができる。

## 【0300】

しかも、保護膜のパターニング工程に至るまで、画素電極をゲート絶縁膜で保護しておくことができるので、画素電極の表面が汚染されにくい。この結果、上記構成のアクティブマトリクス基板に変換層を積層してイメージセンサを構成する場合、画素電極の開口部上に変換層を安定して成膜することができるので、高性能で製造の歩留りが良いイメージセンサを得ることができるという効果を奏する。

## 【0301】

本発明に係るアクティブマトリクス基板は、以上のように、信号線と蓄積容量電極とが、同一の導電層をパターニングすることにより形成されていてもよい。

## 【0302】

これにより、走査線および画素電極を同時進行で形成した後に、信号線および

蓄積容量電極を再び同時進行で形成することができるので、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができるという効果を奏する。

## 【 0 3 0 3 】

本発明に係るアクティブマトリクス基板は、以上のように、上記導電層が、画素電極の画素開口部を被覆するようにパターンニングされていてもよい。

## 【 0 3 0 4 】

これにより、変換層と接する導電層を、変換層の物性との相性が良く、かつ表面状態の劣化しにくい材料で形成すればよいので、走査線と同一層となる画素電極の形成材料が、変換層の物性との相性による制約を受けずに済む。さらに、開口部で露出した画素電極の表面が酸化し、変換層との導通が十分取れなくなるといった不具合が起きるおそれも無くなるという効果を併せて奏する。

## 【 0 3 0 5 】

本発明に係るアクティブマトリクス基板は、以上のように、格子状に配された複数の走査線および信号線により形成される画素領域毎に設けられた第 1 の画素電極と、上記走査線、信号線および第 1 の画素電極のそれぞれに接続されたスイッチング素子と、上記第 1 の画素電極に接続された第 2 の画素電極と、上記第 2 の画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備え、上記走査線と第 2 の画素電極とが、同一の電極層をパターンニングすることにより形成されている構成であってもよい。

## 【 0 3 0 6 】

このような構成によっても、信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板と同じ効果を奏する。

## 【 0 3 0 7 】

また、蓄積容量が小さくて済む場合には、第 2 の画素電極の面積を小さく設定できる上、第 2 の画素電極より上層に形成される第 1 の画素電極は、ITO のよ

うな透光性材料で形成すればよいので、開口部を大きく取った透過型の液晶表示装置に適したアクティブマトリクス基板を得ることができる。

【0308】

さらに、第1の画素電極をITOのような安定な物質で形成できるので、上記構成のアクティブマトリクス基板をイメージセンサに適用する場合、第1の画素電極上に変換層を安定して積層することができる。

【0309】

また、変換層が光照射によるリフレッシュ動作を必要とする場合であっても、遮光性を有する第2の画素電極の面積を小さく設定すれば、変換層に所望の方向から、十分な光量を与えることができるという効果を併せて奏する。

【0310】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、信号線と、第1の画素電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていてもよい。

【0311】

これにより、走査線および第2の画素電極を同時進行で形成した後に、信号線、第1の画素電極および蓄積容量電極を再び同時進行で形成することができるので、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができるという効果を奏する。

【0312】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、上記第1の画素電極とスイッチング素子とを接続する接続電極を備え、上記信号線と、接続電極と、蓄積容量電極とが、同一の導電層をパターンニングすることにより形成されていてもよい。

【0313】

これにより、走査線、信号線および蓄積容量共通配線の上層に、第1の画素電極を配置することができるので、画素の開口面積を飛躍的に大きく設定したアクティブマトリクス基板を作製することができる。



【 0 3 1 4 】

また、走査線および第 2 の画素電極と、信号線、接続電極および蓄積容量電極とが、それぞれ同一の層で形成されているので、従来のアクティブマトリクス基板の製造装置を用いながら、より少ない工程数で、コストパフォーマンスの一層優れたアクティブマトリクス基板を得ることができるという効果を奏する。

【 0 3 1 5 】

本発明に係るアクティブマトリクス基板は、以上のように、上記導電層が、透光性を有していてもよい。

【 0 3 1 6 】

これにより、既に説明したように、第 2 の画素電極が遮光性を有していたとしても、蓄積容量の形成に必要な面積で形成されればよいので、第 2 の画素電極が形成されていない領域を画素の開口部とすることができる。この開口部に透光性を有する導電層が成膜されるので、透光性の開口部が形成されることになる。

【 0 3 1 7 】

この結果、透過型の液晶表示装置に適したアクティブマトリクス基板を得ることができると共に、このアクティブマトリクス基板をイメージセンサに適用する場合、変換層に所望の方向から、十分な光量を与えることができ、変換層を光照射により十分リフレッシュすることができるという効果を奏する。

【 0 3 1 8 】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、上記第 1 の画素電極と蓄積容量電極とが、上記保護膜を介して蓄積容量を形成している構成であってもよい。

【 0 3 1 9 】

これにより、画素の蓄積容量を、蓄積容量電極および第 2 の画素電極の組み合わせと、蓄積容量電極および第 1 の画素電極の組み合わせとにより、二重に形成することができる。

【 0 3 2 0 】

この結果、走査線と同一の電極層で形成される不透光性の第 2 の画素電極を小面積で形成しても、必要な蓄積容量を得ることができるので、上記構成のアクテ

イブマトリクス基板は、開口面積の大きな透過型の液晶表示装置を構成することができる。さらに、イメージセンサのように、極めて大きな蓄積容量が必要とされる場合でも、その必要な蓄積容量を容易に形成することができるという効果を奏する。

【 0 3 2 1 】

本発明に係るアクティブマトリクス基板は、以上のように、さらに、上記上記第 1 の画素電極を最上層に配置する層間絶縁膜を備えている構成であってもよい。

【 0 3 2 2 】

これにより、第 1 の画素電極をアクティブマトリクス基板の最上層に配置することにより、画素の開口面積を飛躍的に大きく設定することができる。したがって、上記のアクティブマトリクス基板に変換層を積層してイメージセンサを構成した場合、第 1 の画素電極は、変換層で発生した電荷を最大効率で収集することができる。

【 0 3 2 3 】

さらに、画素の開口率を十分大きくすることができるため、イメージセンサのみならず、液晶表示装置にも好適なアクティブマトリクス基板を提供することができるという効果を奏する。

【 0 3 2 4 】

本発明に係るアクティブマトリクス基板は、以上のように、上記走査線に、陽極酸化が施されていてもよい。

【 0 3 2 5 】

これにより、走査線と他の配線との絶縁性の信頼性が向上するので、アクティブマトリクス基板の製造の歩留りを向上させることができると共に、走査線の絶縁不良に起因する線欠陥の大きな重大欠陥の発生を、より確実に防止することができるという効果を奏する。

【 0 3 2 6 】

本発明に係るアクティブマトリクス基板の製造方法は、以上のように、格子状に配された複数の走査線および信号線により形成される画素領域毎に画素電極が

設けられ、上記走査線、信号線および画素電極のそれぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、該蓄積容量電極に接続され、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板の製造方法において、

(1) 基板上に電極層を成膜し、該電極層のパターニングにより、走査線と画素電極とを形成する工程と、

(2) ゲート絶縁膜を積層する工程と、

(3) 上記信号線、スイッチング素子、蓄積容量電極、蓄積容量共通配線を形成した後、保護膜を成膜する工程と、

(4) 上記ゲート絶縁膜および保護膜を同時にパターニングして、画素電極の開口部を形成する工程とを含む構成である。

#### 【 0 3 2 7 】

それゆえ、走査線を形成する際に、同時に画素電極を形成することができると共に、その他の工程についても、従来のアクティブマトリクス基板の製造工程をそのまま適用することができる。したがって、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、信号線と平行な蓄積容量共通配線を有する高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

#### 【 0 3 2 8 】

しかも、保護膜とゲート絶縁膜とを、同じフォトマスク等を用いて同時にパターニングし、画素電極の開口部を形成することができるので、同じフォトマスクを用いることによるコスト削減効果と、保護膜とゲート絶縁膜とを別工程でパターニングした場合と比べてコスト削減効果が得られ、製造コストを大幅に削減することができる。

#### 【 0 3 2 9 】

さらに、保護膜のパターニング工程に至るまで、画素電極をゲート絶縁膜で保護しておくことができるので、画素電極の表面が汚染されにくい。この結果、画

素電極の開口部上に変換層を積層してイメージセンサを構成する場合、変換層を安定して成膜することができ、高性能のイメージセンサを高歩留りで製造することができるという種々の効果を併せて奏する。

【 0 3 3 0 】

本発明に係るイメージセンサは、以上のように、上記構成のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有する構成である。

【 0 3 3 1 】

上記のように構成したイメージセンサは、既に説明したとおりの効果を奏するものである。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 2】

図 1 に示すアクティブマトリクス基板の A - A' 線矢視断面図である。

【図 3】

(a) ~ (h) は、図 1 に示すアクティブマトリクス基板の製造工程を示す、A - A' 線矢視断面図である。

【図 4】

本発明の他の実施の形態にかかるアクティブマトリクス基板の断面図である。

【図 5】

本発明のさらに他の実施の形態にかかる X 線センサの要部をなすアクティブマトリクス基板の概略の平面図である。

【図 6】

図 5 に示す X 線センサの B - B' 線矢視断面図である。

【図 7】

本発明のさらに他の実施の形態にかかる X 線センサの要部をなすアクティブマトリクス基板の概略の平面図である。

【図 8】

図 7 に示す X 線センサの D-D' 線矢視断面図である。

【図 9】

従来のアクティブマトリクス基板の構成を示す概略の平面図である。

【図 10】

図 9 に示すアクティブマトリクス基板の F-F' 線矢視断面図である。

【図 11】

図 9 に示すアクティブマトリクス基板の G-G' 線矢視断面図である。

【図 12】

(a) ~ (h) は、図 9 に示すアクティブマトリクス基板の製造工程を示す、F-F' 線矢視断面図である。

【図 13】

(a) ~ (h) は、図 9 に示すアクティブマトリクス基板の製造工程を示す、G-G' 線矢視断面図である。

【図 14】

従来の X 線センサに用いられるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 15】

図 14 に示すアクティブマトリクス基板の H-H' 線矢視断面図である。

【図 16】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 17】

図 16 に示すアクティブマトリクス基板の I-I' 線矢視断面図である。

【図 18】

(a) ~ (g) は、図 16 に示すアクティブマトリクス基板の製造工程を示す、I-I' 線矢視断面図である。

【図 19】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示

す概略の平面図である。

【図 2 0】

図 1 9 に示すアクティブマトリクス基板の J - J' 線矢視断面図である。

【図 2 1】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の断面図である。

【図 2 2】

図 2 1 に示すアクティブマトリクス基板の変形例を示す概略の平面図である。

【図 2 3】

図 2 2 に示すアクティブマトリクス基板の K - K' 線矢視断面図である。

【図 2 4】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 2 5】

図 2 4 に示すアクティブマトリクス基板の L - L' 線矢視断面図である。

【図 2 6】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 2 7】

図 2 6 に示すアクティブマトリクス基板の M - M' 線矢視断面図である。

【図 2 8】

図 2 6 に示すアクティブマトリクス基板のコンタクトホール付近における変形例を示す概略の要部平面図である。

【図 2 9】

図 2 8 に示すアクティブマトリクス基板の N - N' 線矢視断面図である。

【図 3 0】

本発明のさらに他の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 3 1】

図 3 0 に示すアクティブマトリクス基板の O - O ' 線矢視断面図である。

【符号の説明】

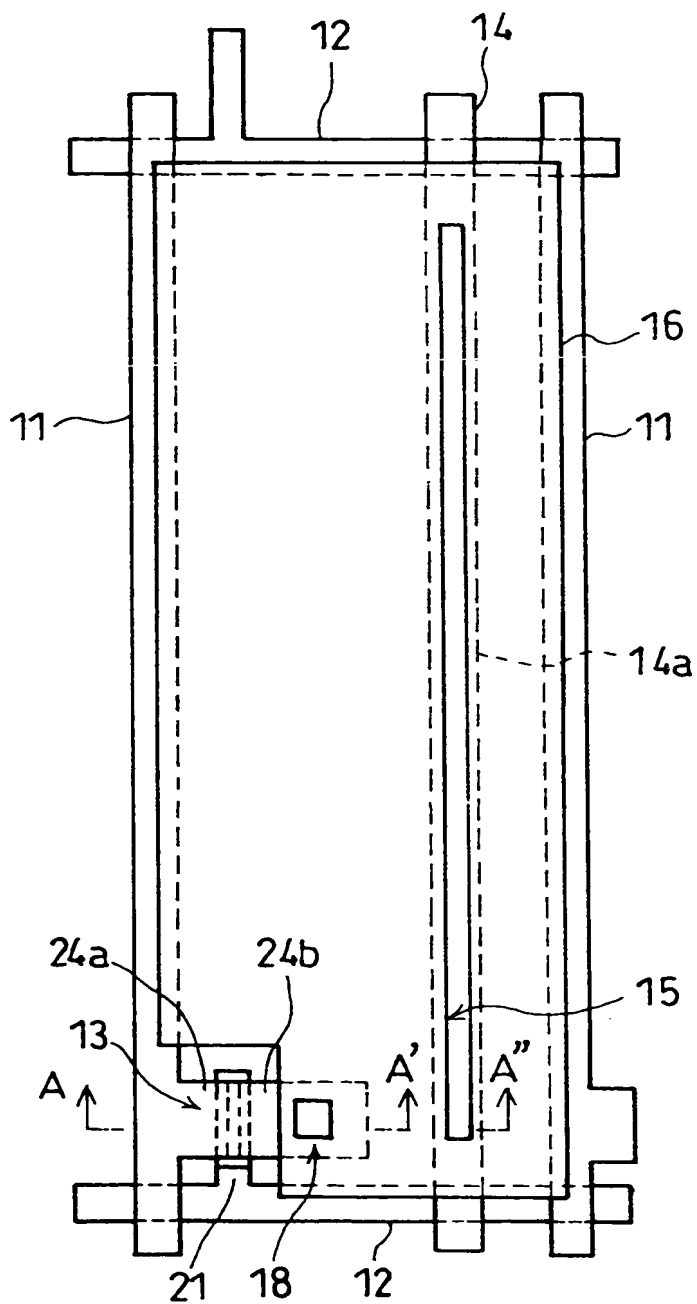
- 1 1          信号線
- 1 2          走査線
- 1 3          T F T (スイッチング素子)
- 1 4          画素容量配線 ( (蓄積容量共通配線)、画素容量電極 (蓄積容量電極 ) )
- 1 4 a        画素容量 (蓄積容量)
- 1 5          コンタクトホール
- 1 5 a        コンタクトホール
- 1 5 b        コンタクトホール
- 1 6          画素電極
- 2 5          透明電極層 (電極層)
- 2 5 c        透明電極 (透明電極膜)
- 2 5 d        透明電極 (透明電極膜)
- 2 7          保護膜 (絶縁膜)
- 2 8          層間絶縁膜
- 3 0 a        画素容量 (蓄積容量)
- 3 0 b        画素容量 (蓄積容量)
- 3 1          変換層 (変換部)
- 3 2          共通電極層 (バイアス電圧印加手段)
- 4 1          画素容量電極 (蓄積容量電極)
- 4 2          ゲート絶縁膜
- 4 3          画素電極
- 4 3 a        下層画素電極 (第 2 の画素電極)
- 4 3 b        上層画素電極 (第 1 の画素電極)
- 4 3 b '      上層画素電極 (第 1 の画素電極)
- 4 3 c        上層画素電極 (第 1 の画素電極)
- 4 5          保護膜

- 5 4 透明導電層（導電層）
- 5 4 b 透明電極（導電層）
- 5 4 b<sub>1</sub> 透明電極（第 1 の画素電極）
- 5 4 b<sub>2</sub> 透明電極（接続電極）
- 5 4 d 透明導電膜（導電層）
- 5 4 e 透明電極（導電層または第 1 の画素電極）
- 6 3 画素電極
- 6 3 a 下層画素電極（第 2 の画素電極）
- 6 6 開口部（画素開口部）
- 7 1 層間絶縁膜
- 7 1 a 層間絶縁膜

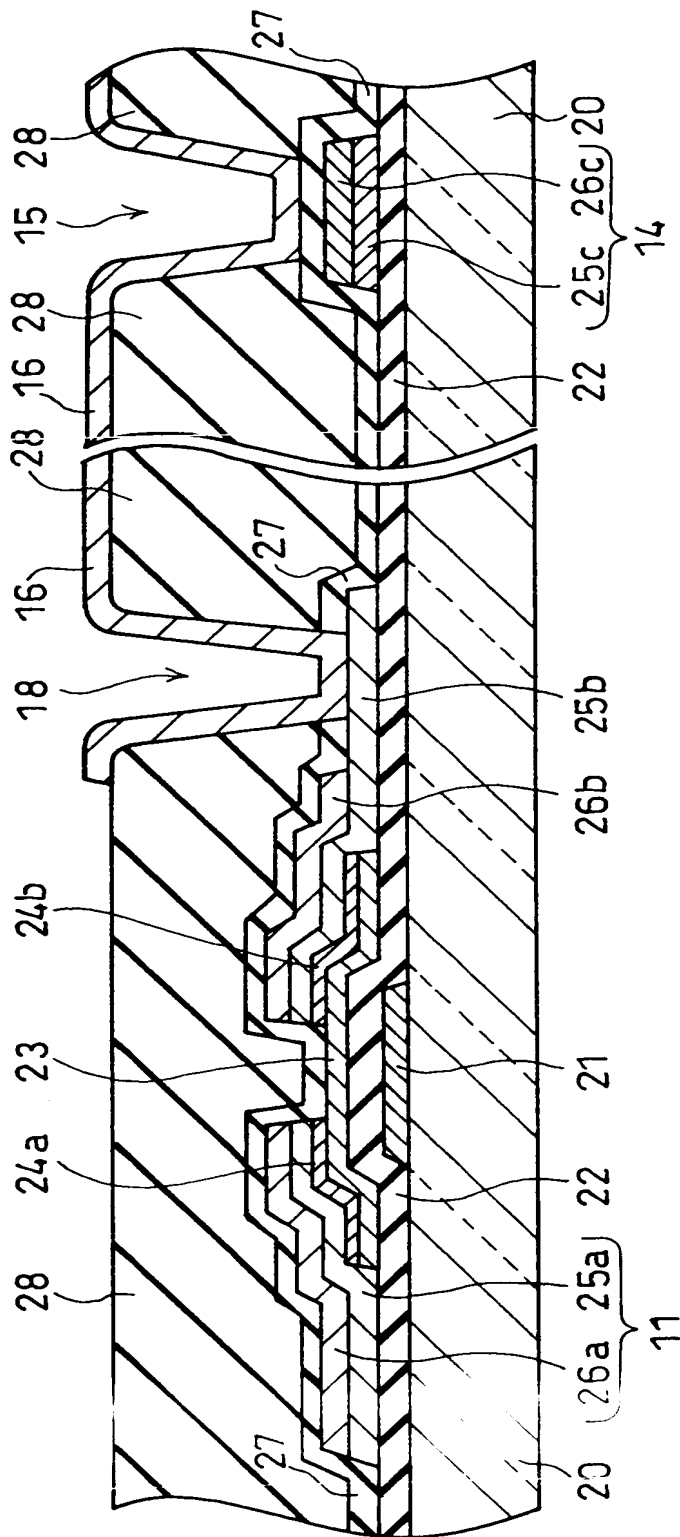


【書類名】 図面

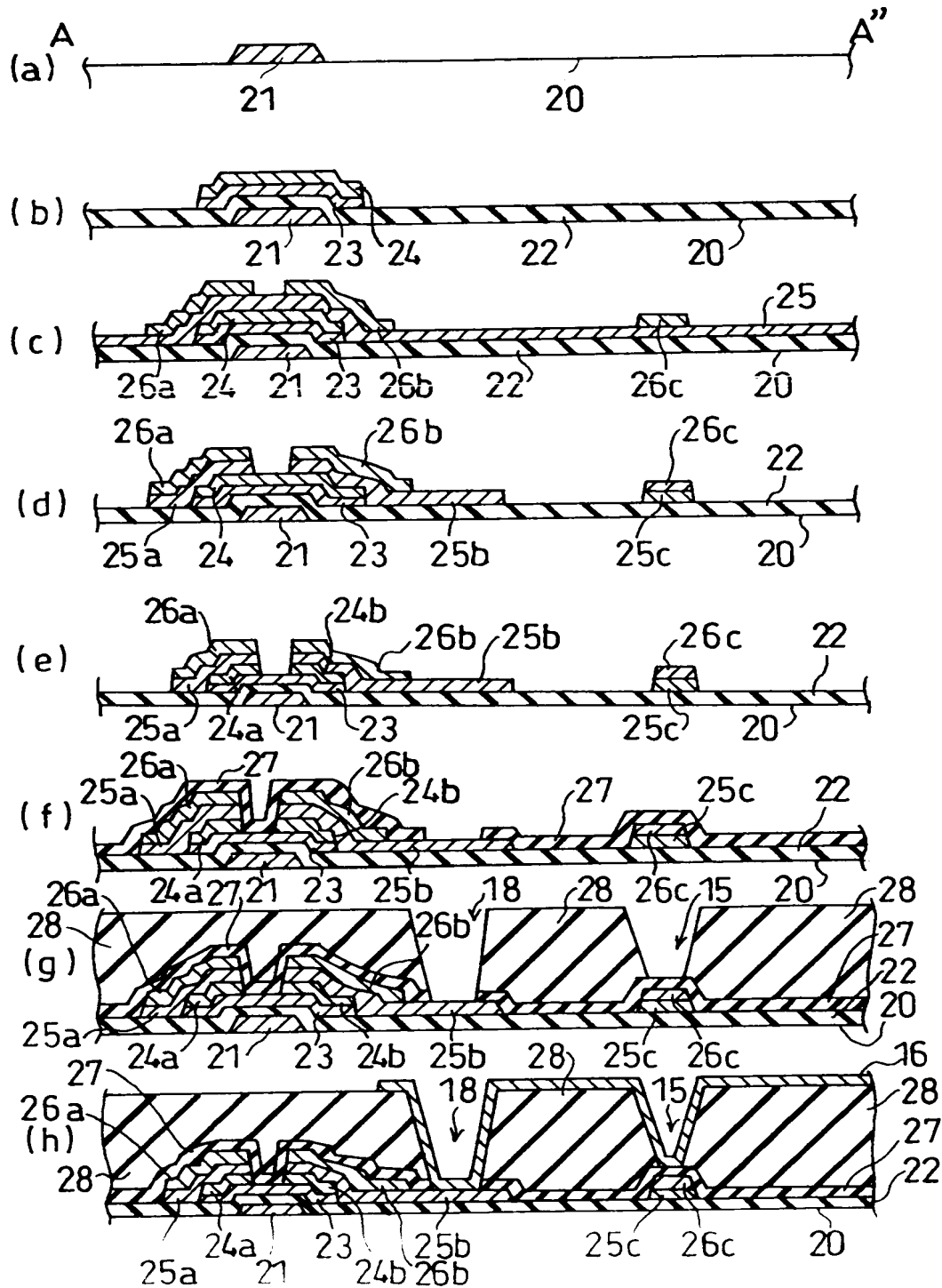
【図 1】



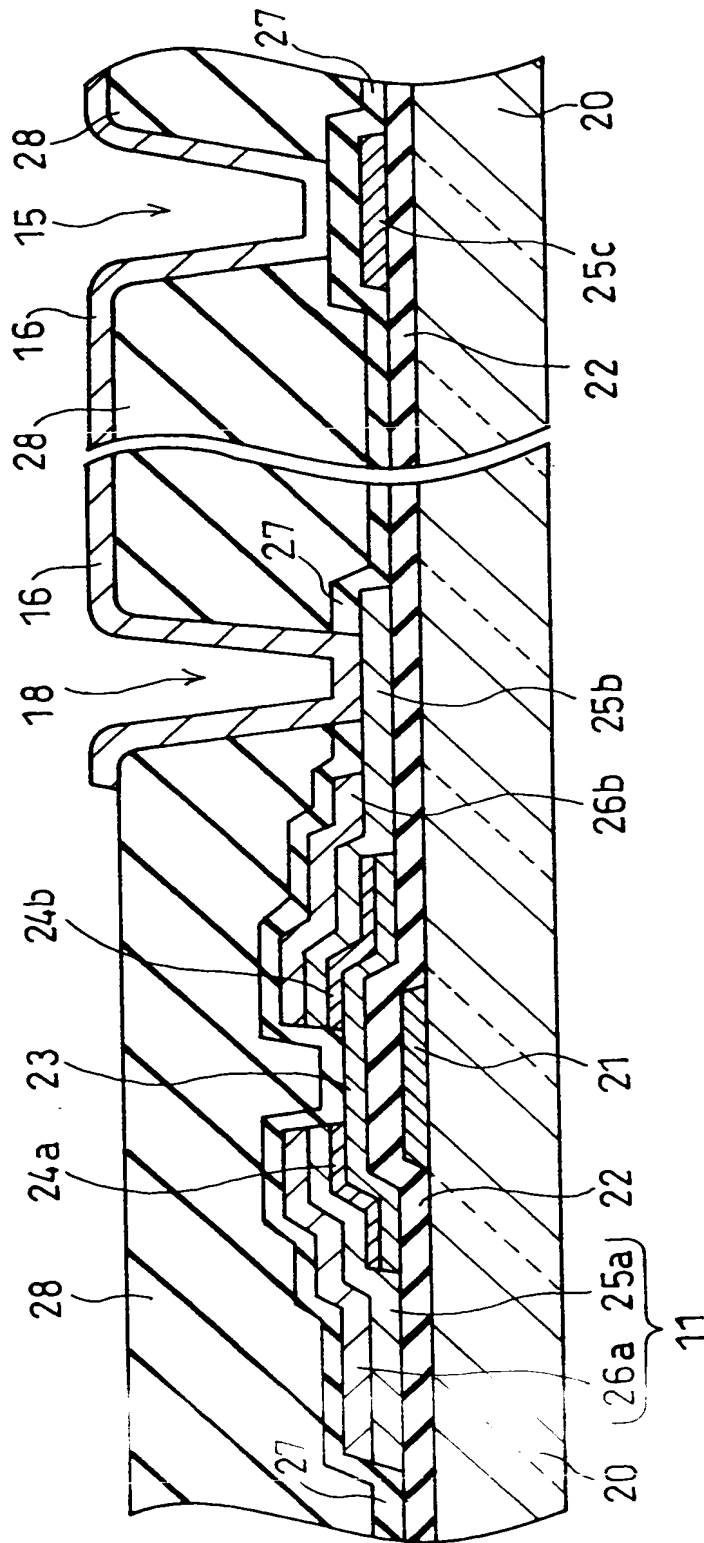
【図2】



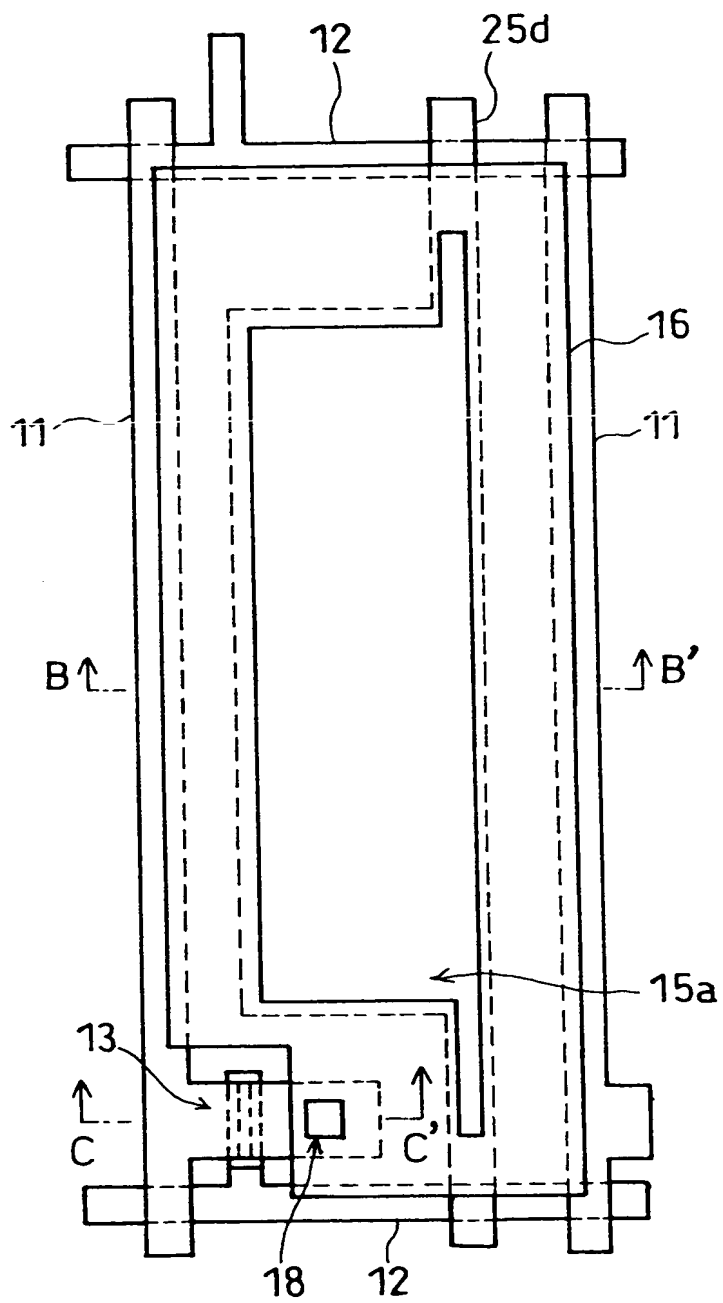
【図3】



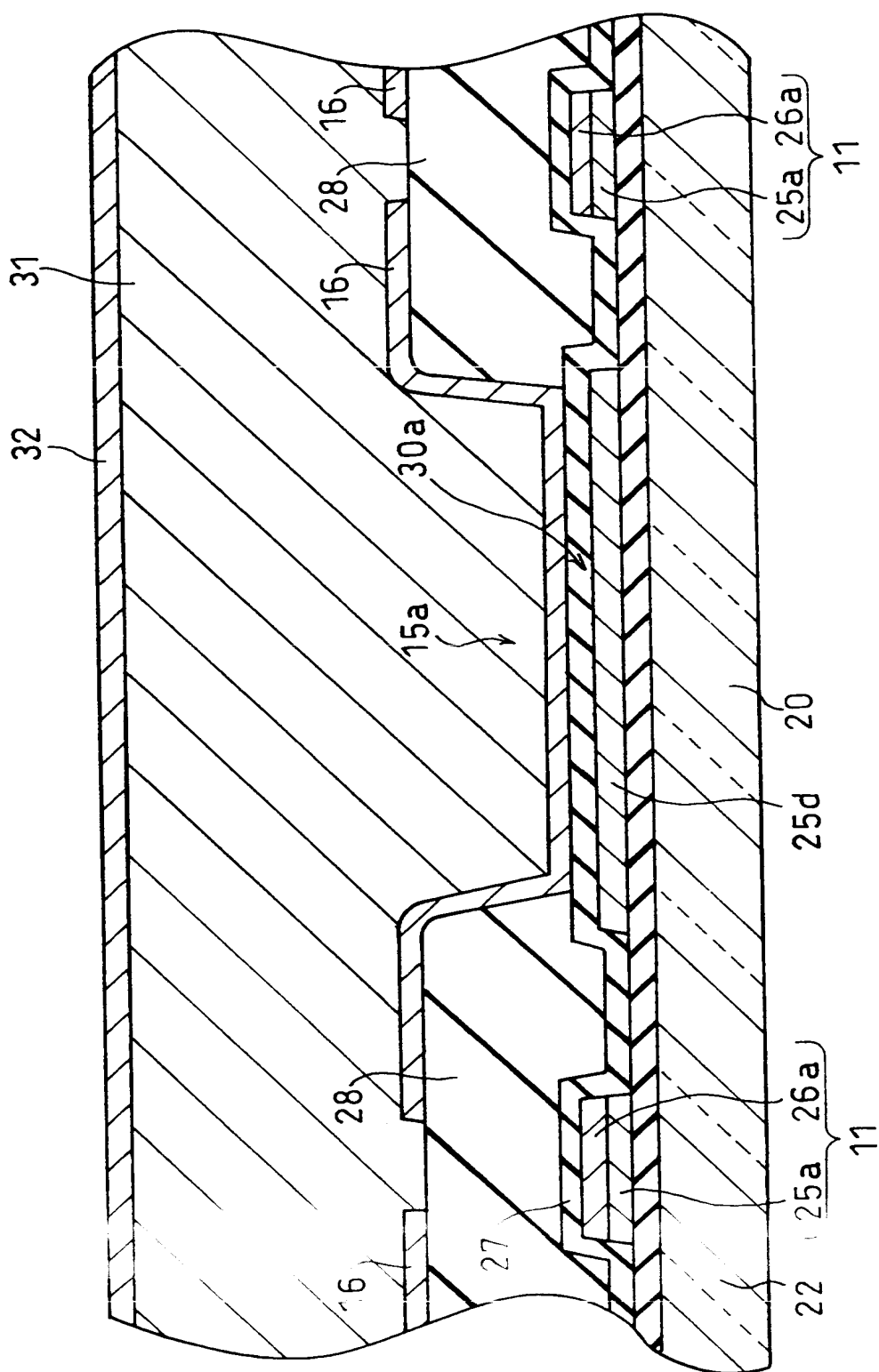
【図4】



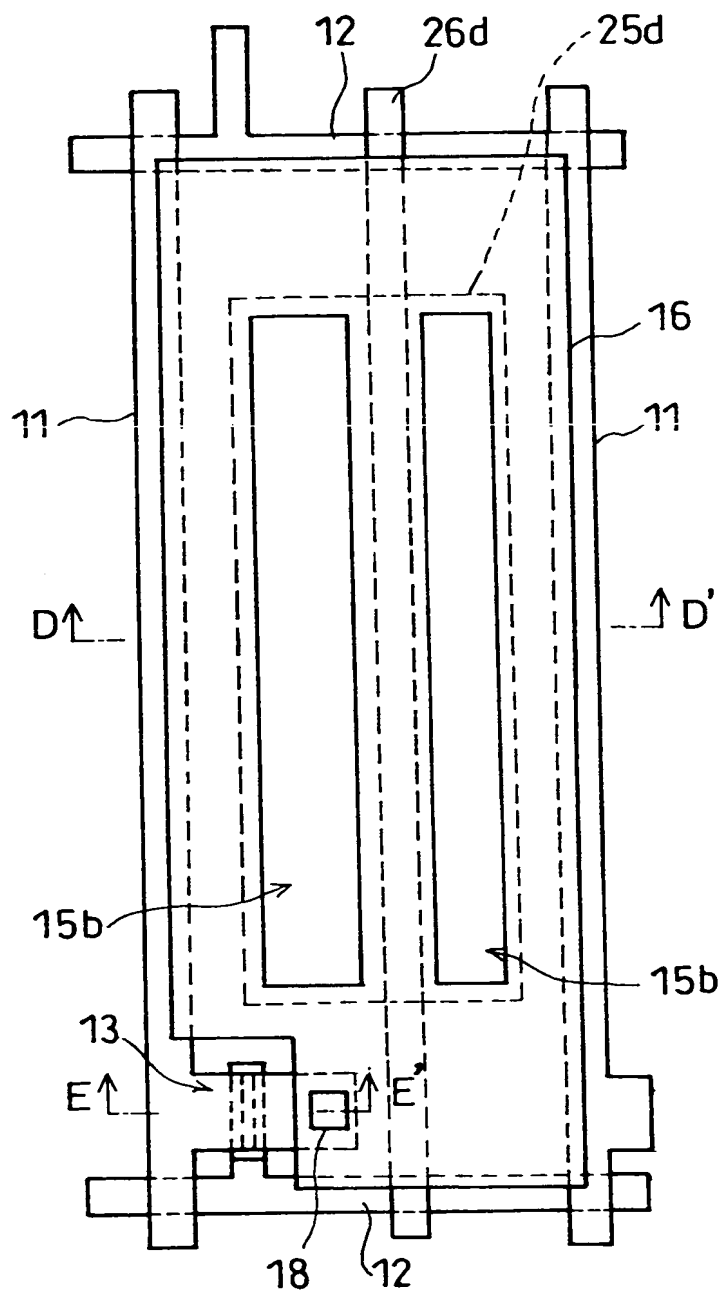
【図 5】



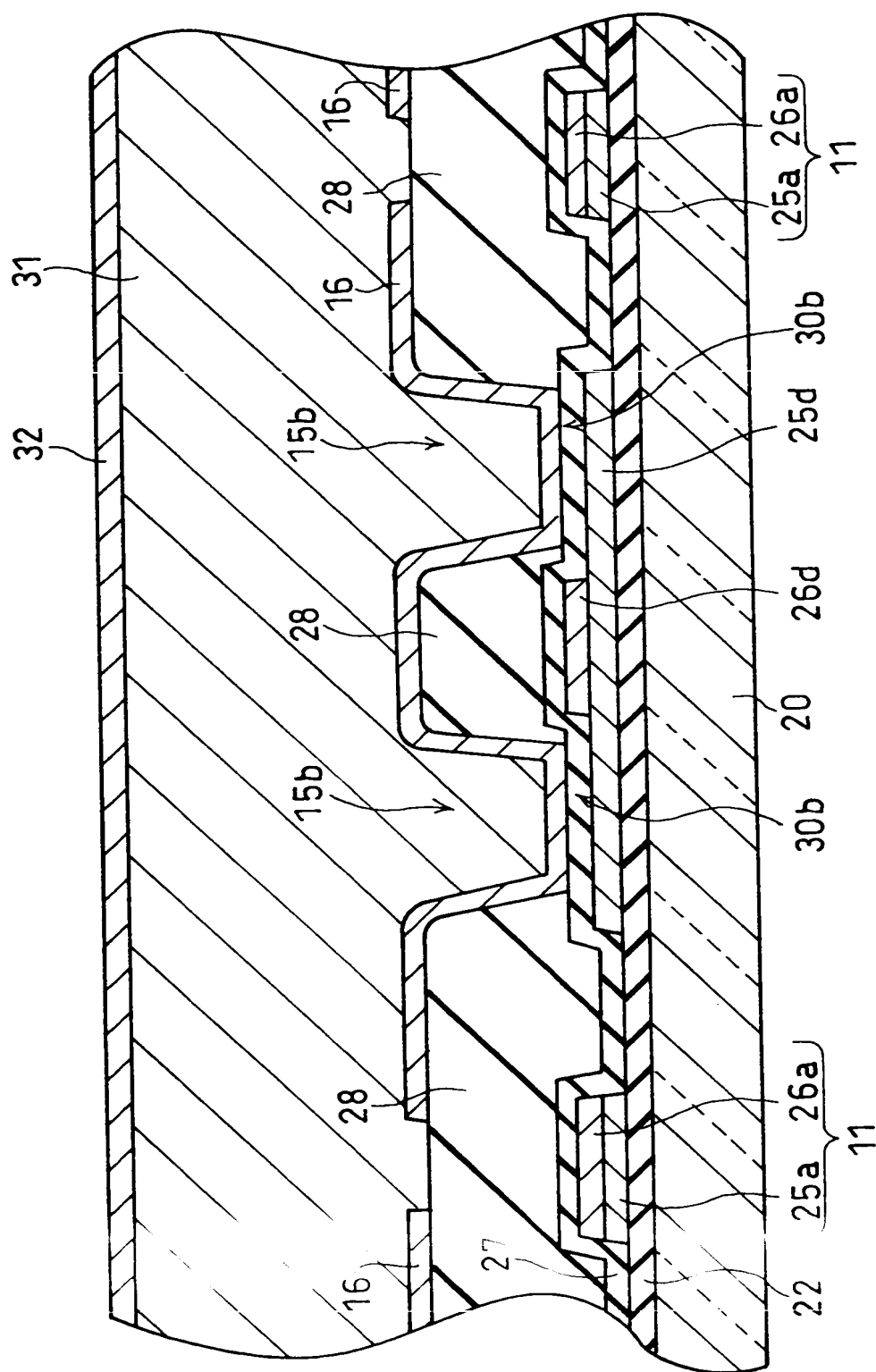
【図 6】



【図 7】

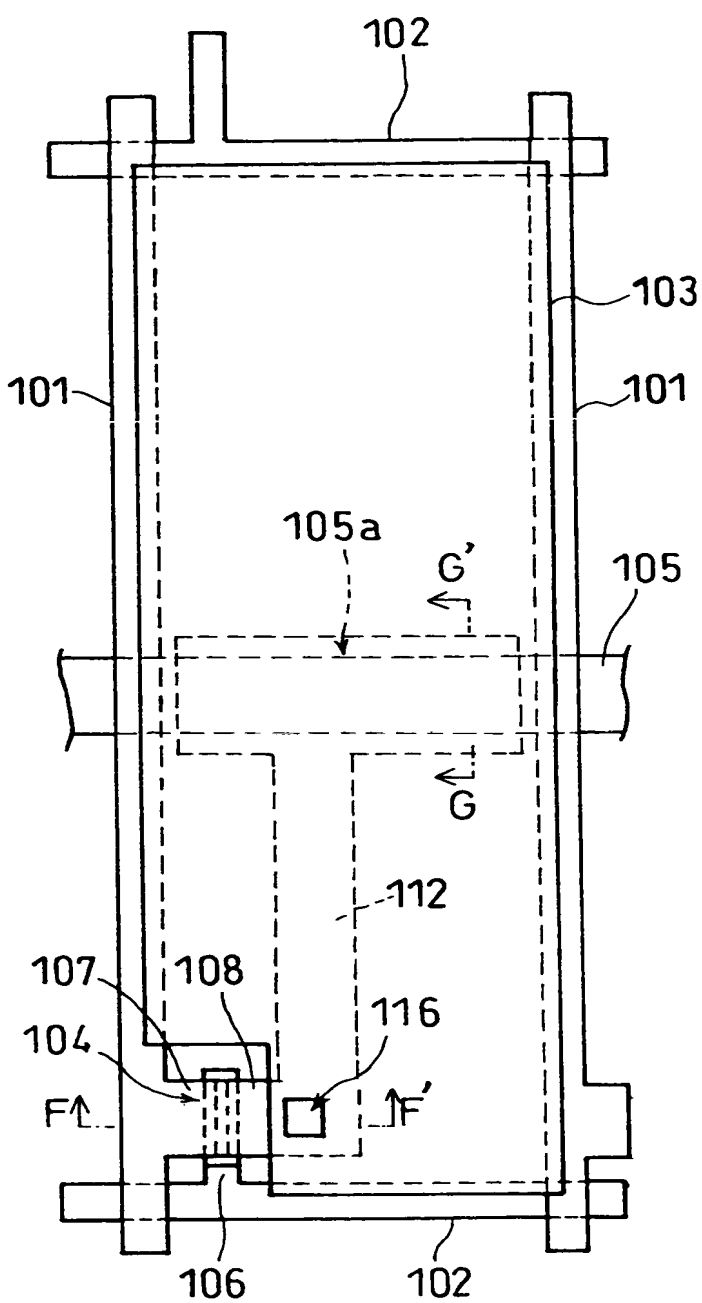


【図 8】

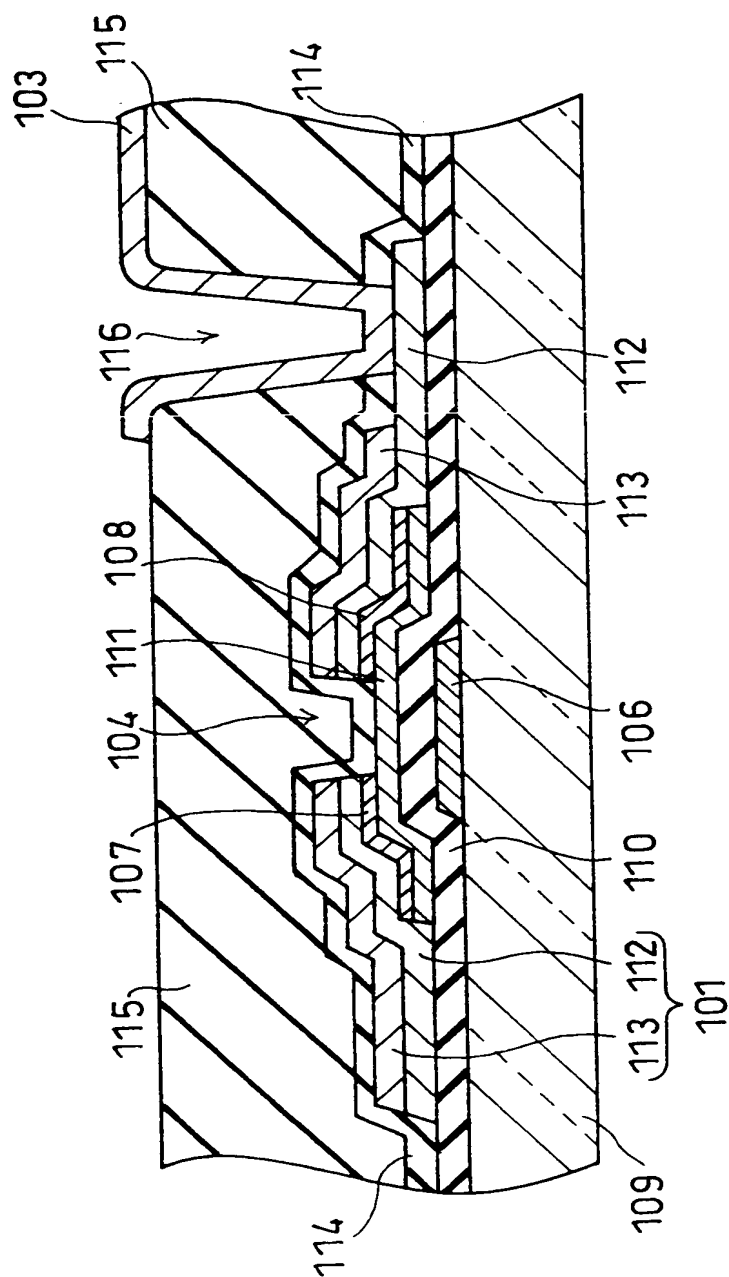




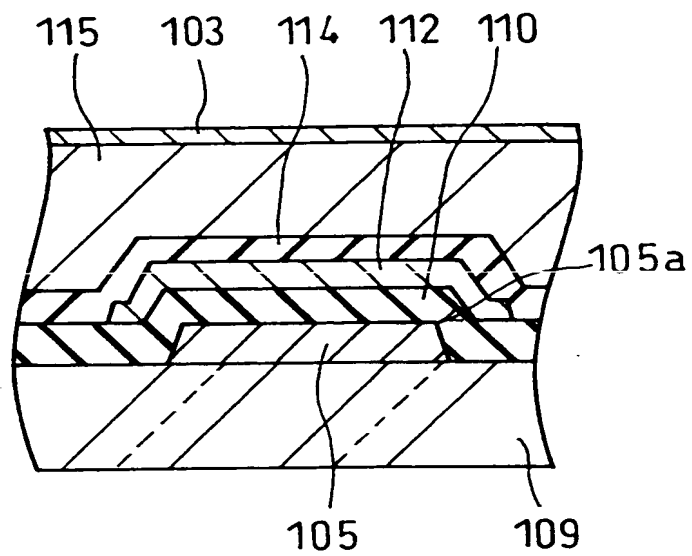
【図9】



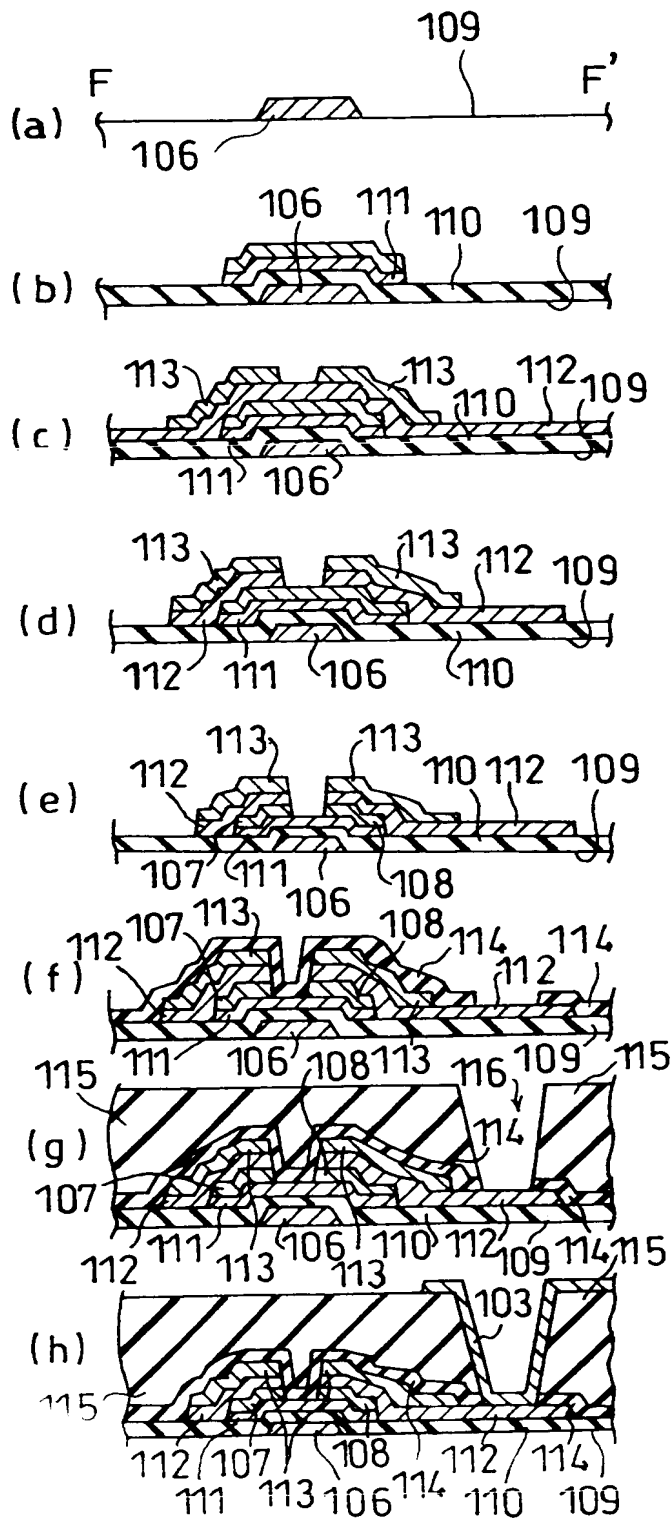
【図 10】



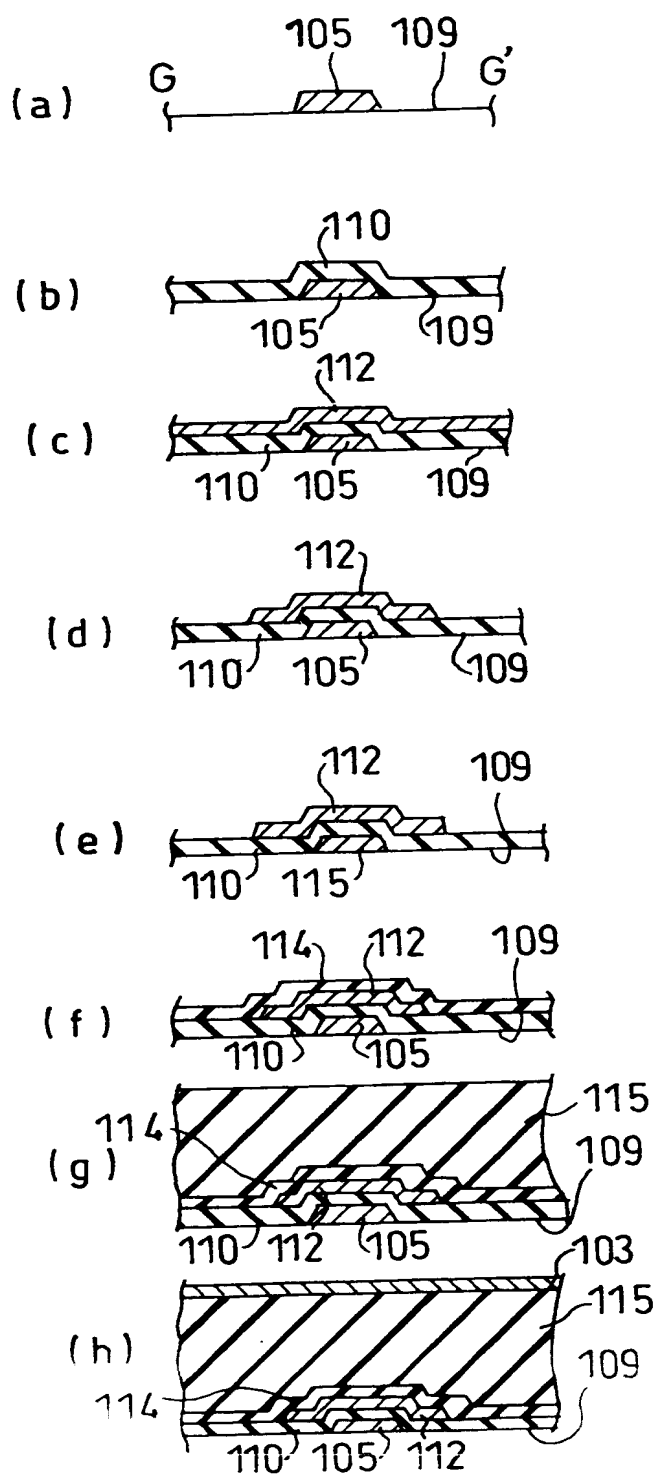
【図 1 1】



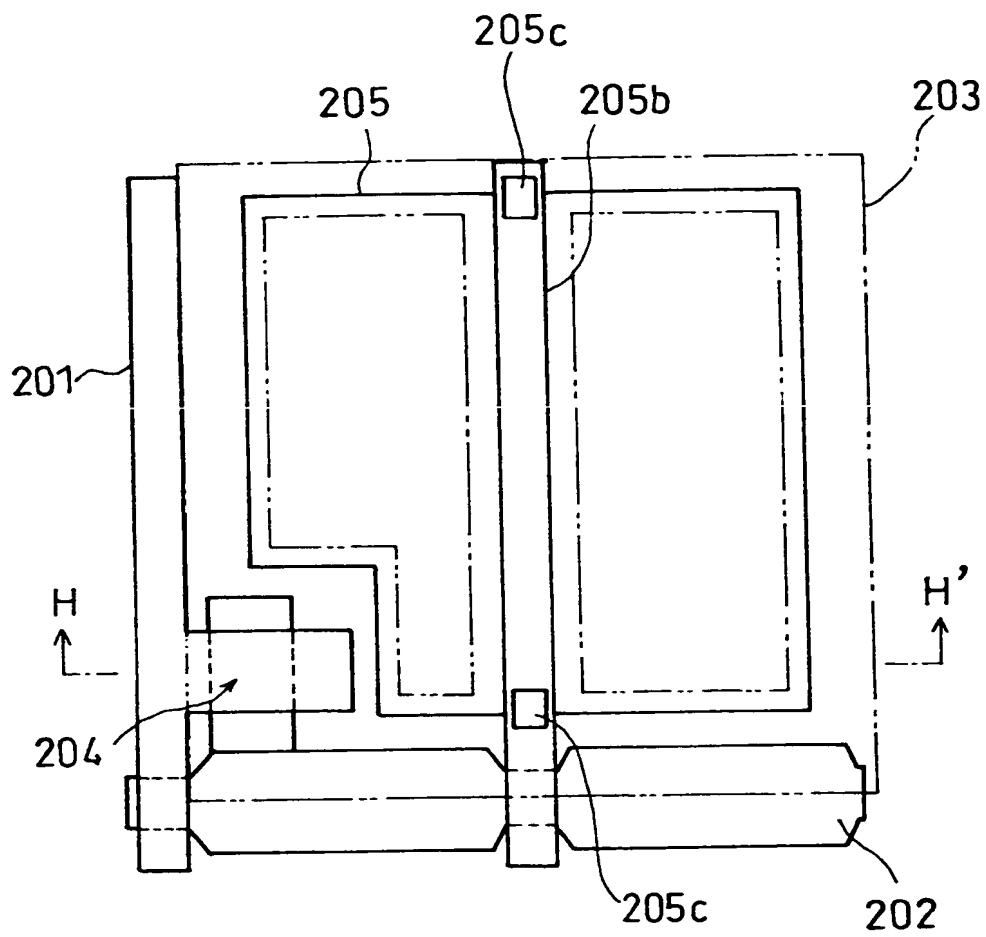
【図 1 2】



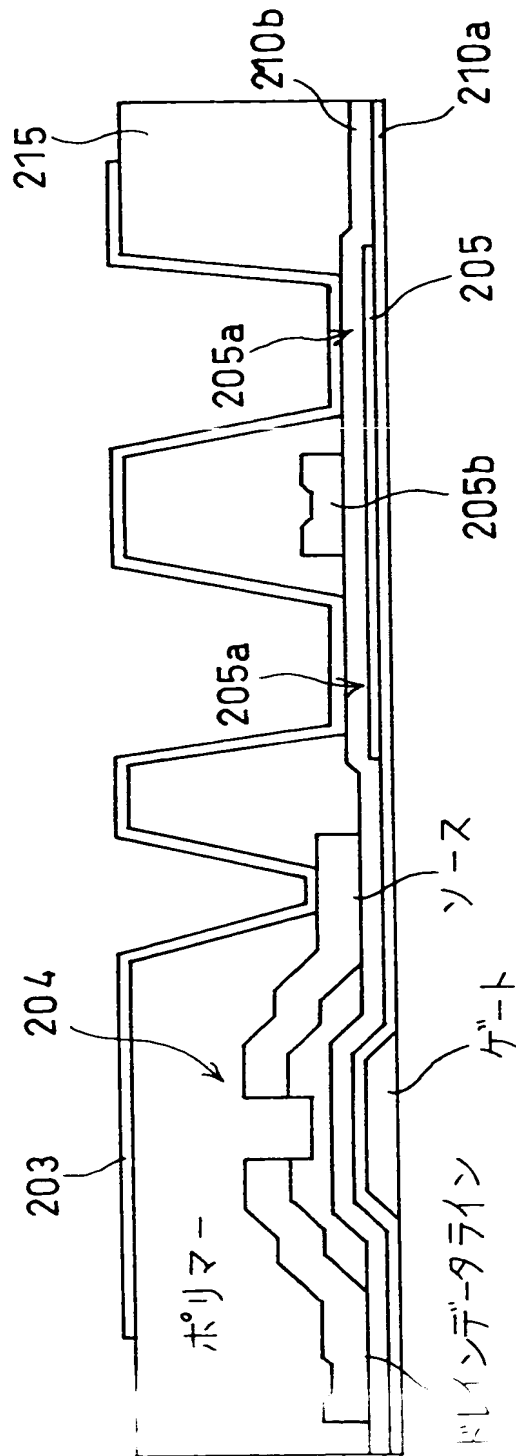
【図 13】



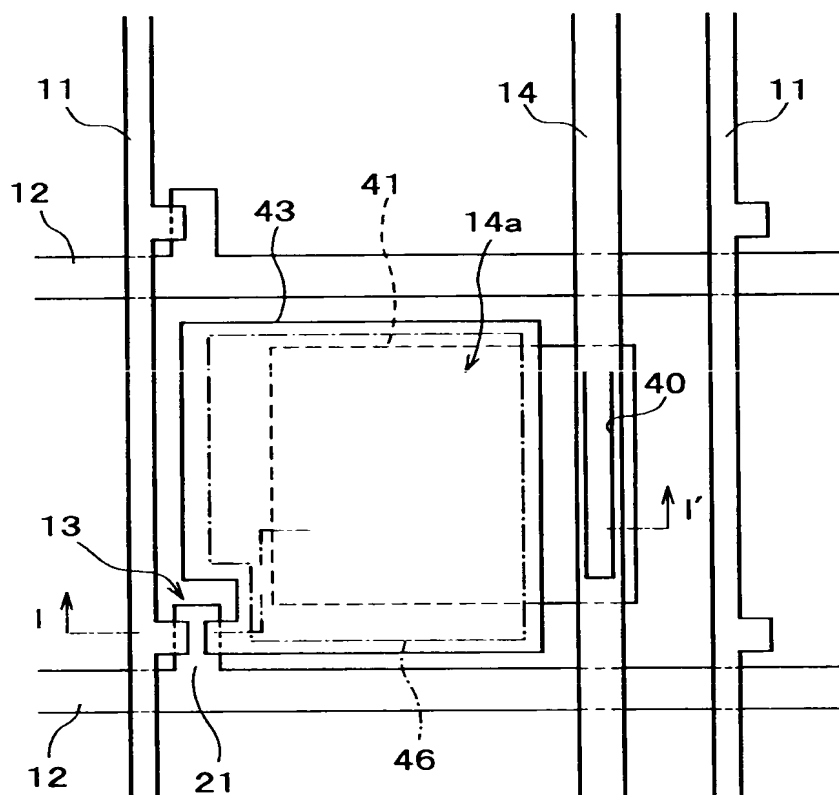
【図 1 4】



【図15】

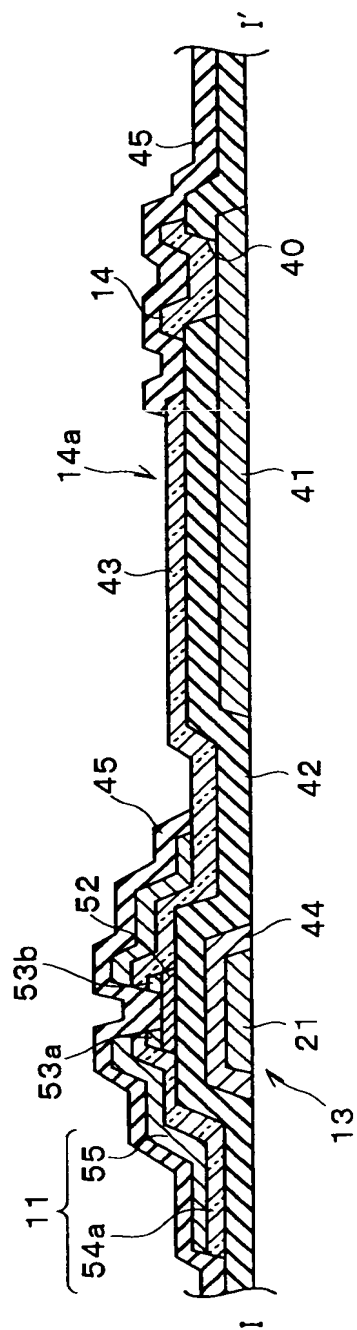


【図 16】

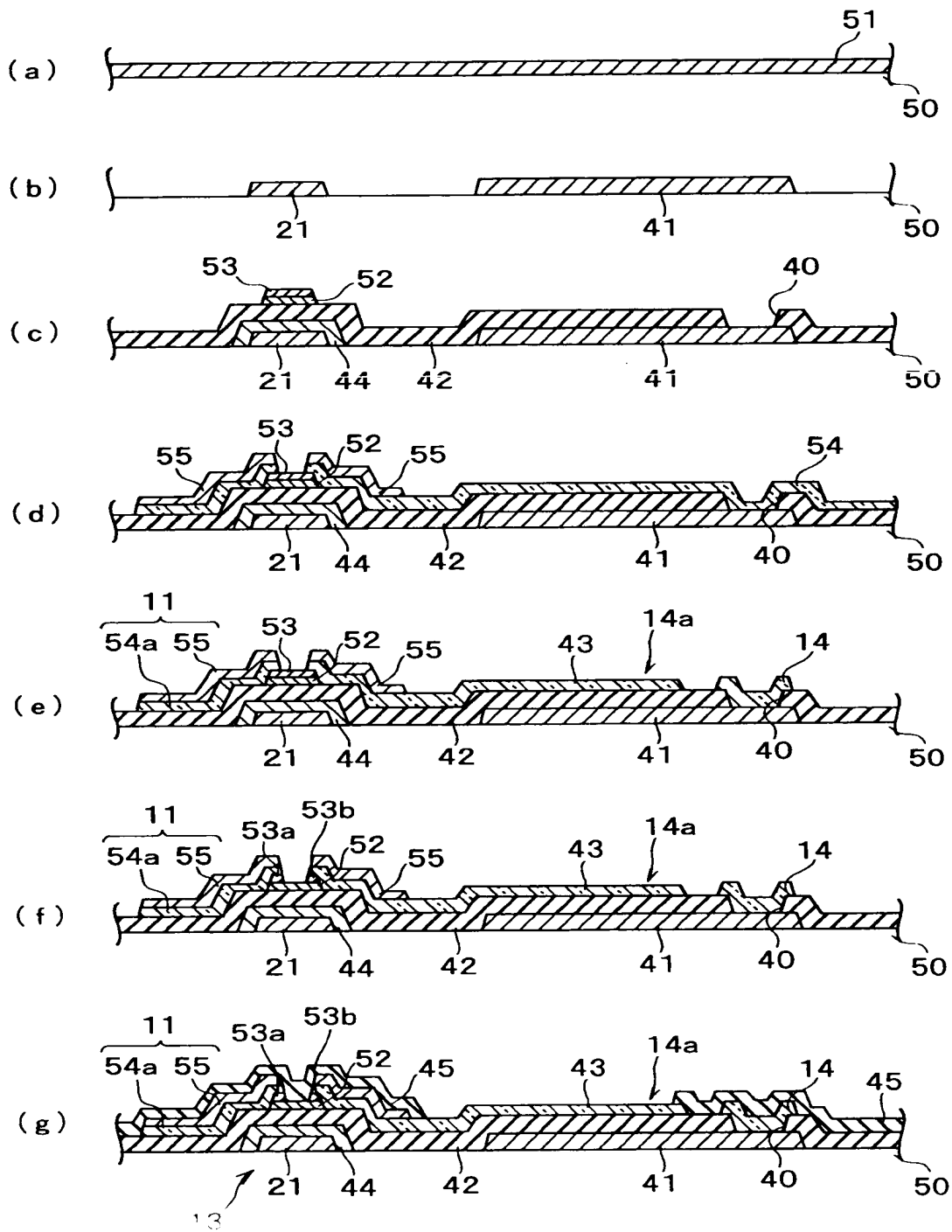




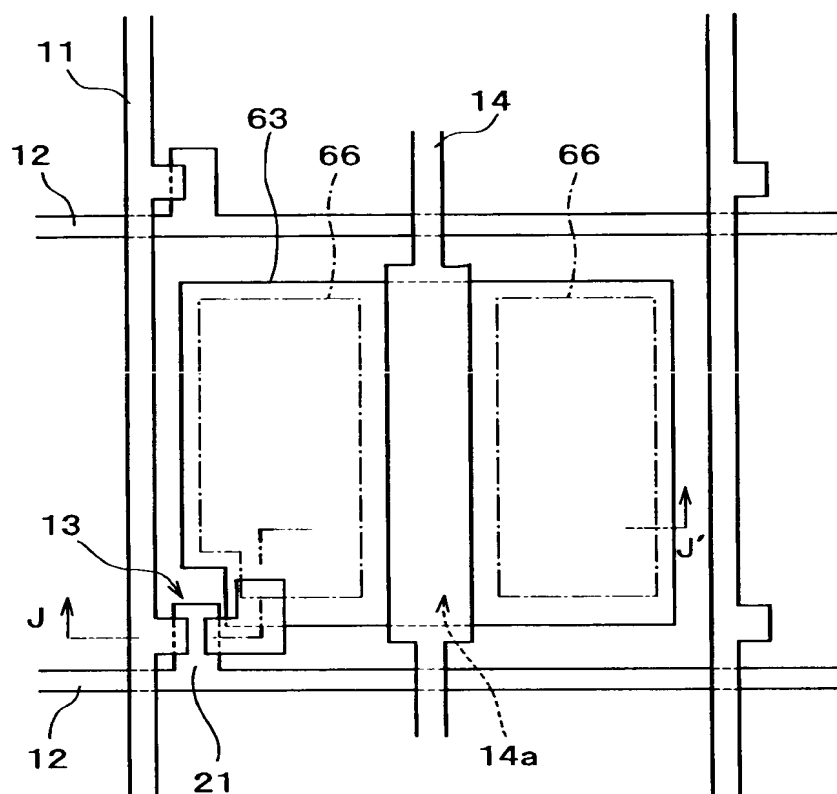
【図 17】



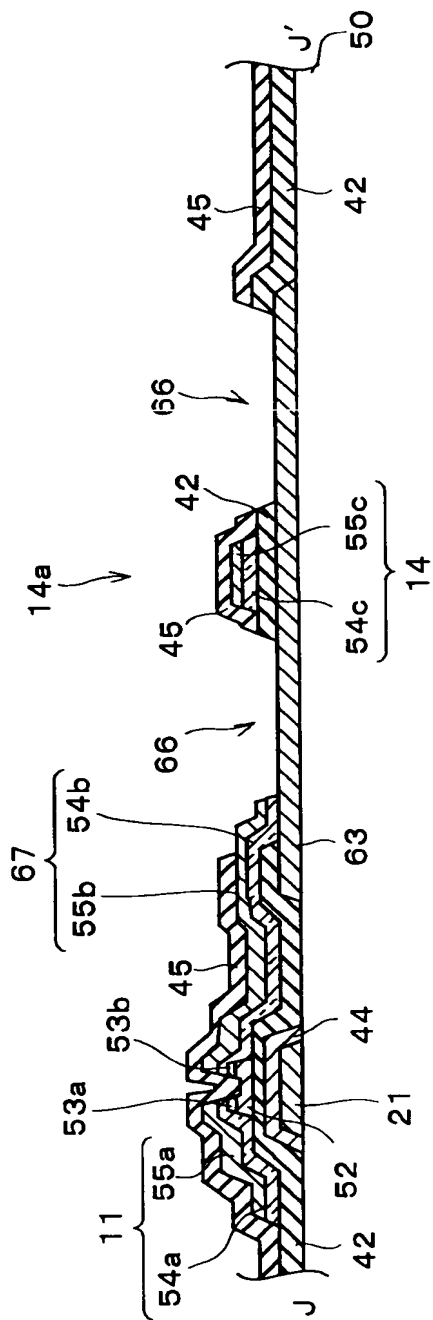
【図18】



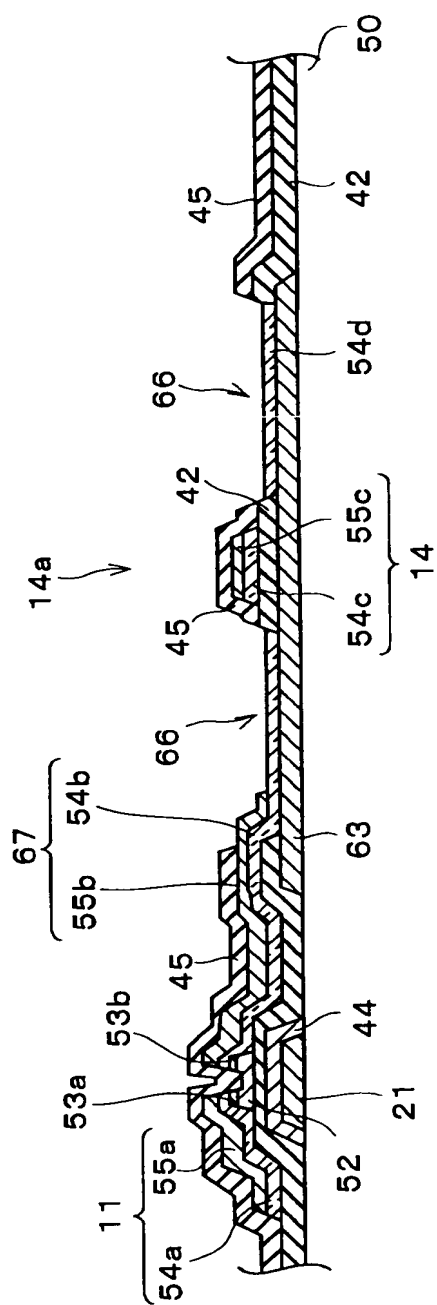
【図19】



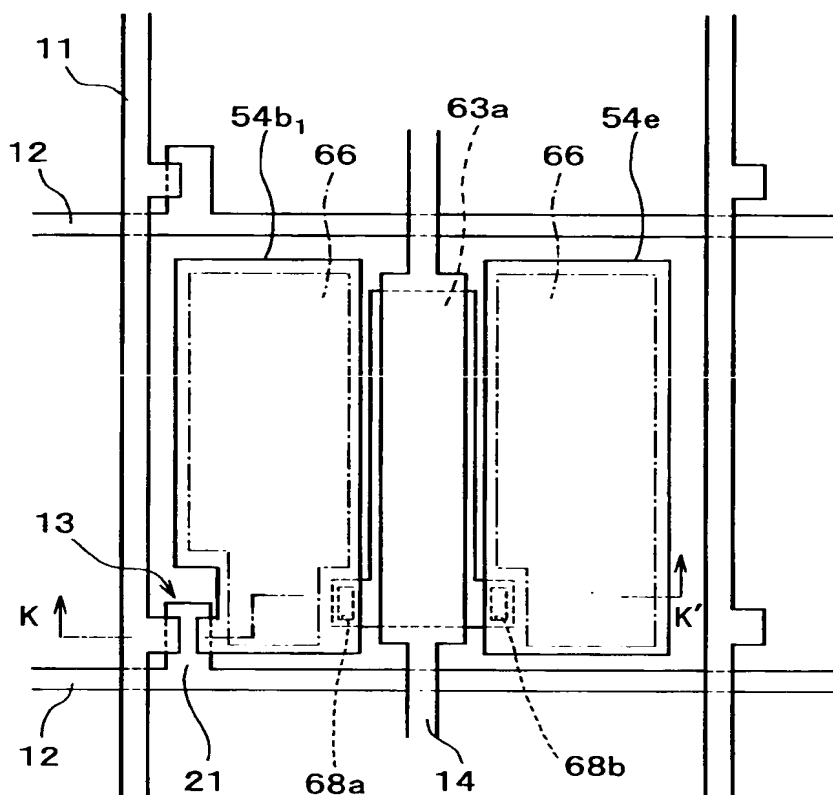
【図 20】



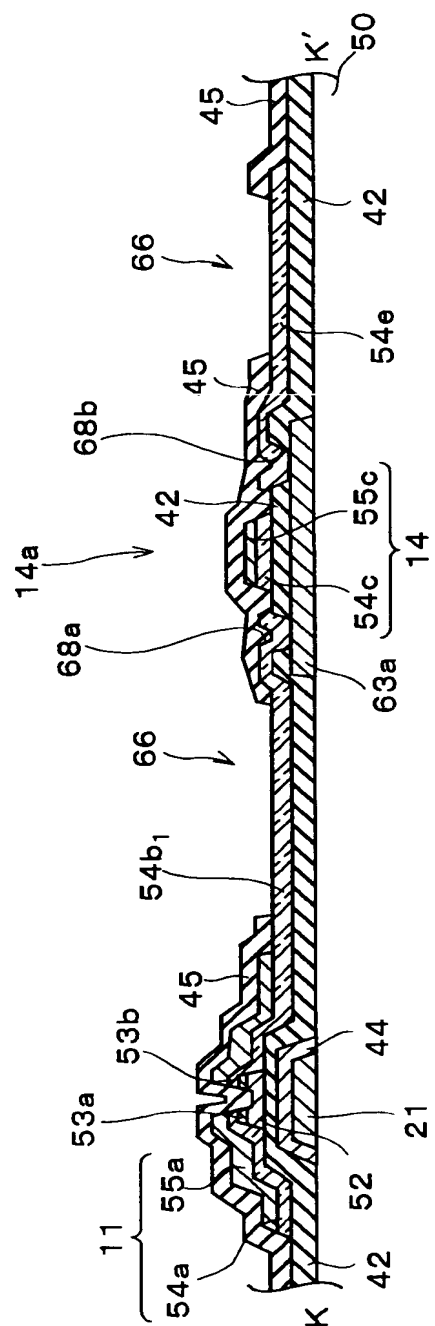
【図 2 1】



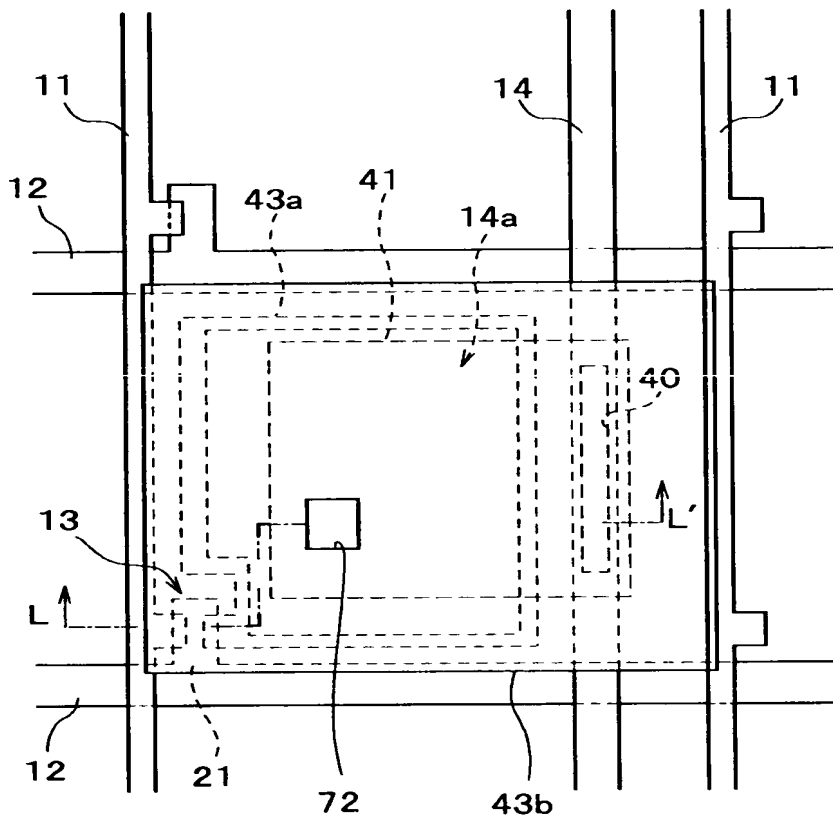
【図 22】



【図 23】

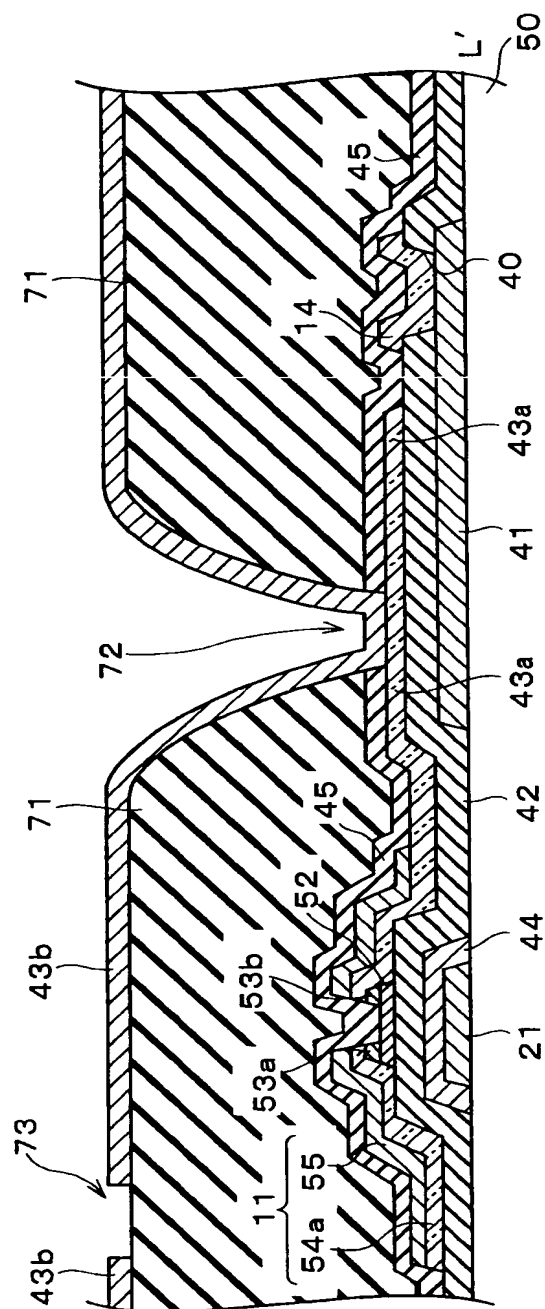


【図 24】

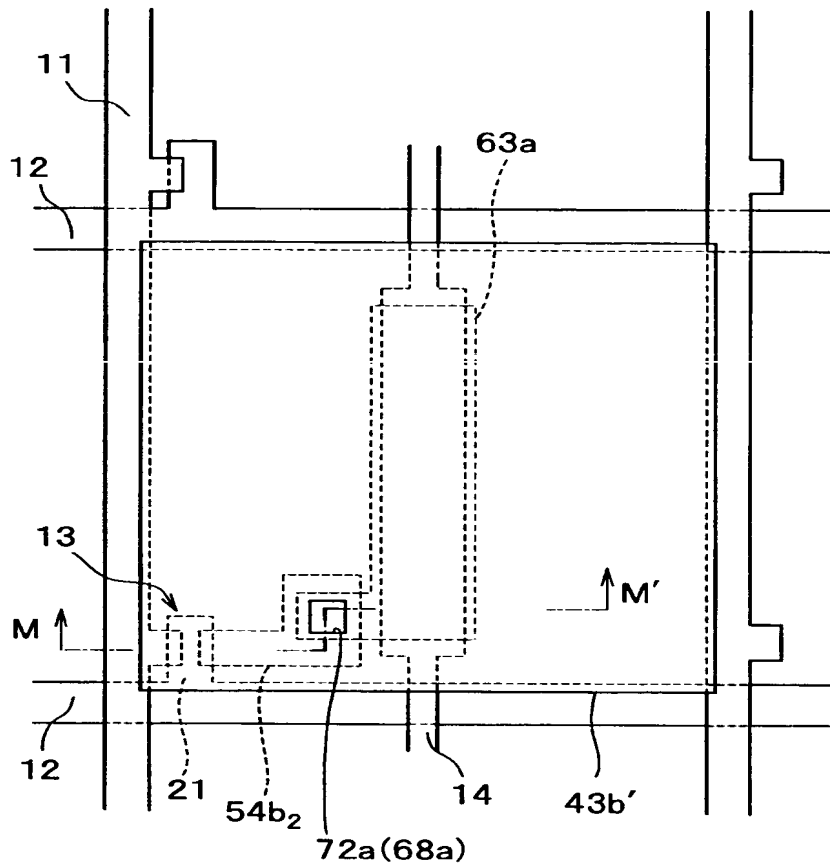




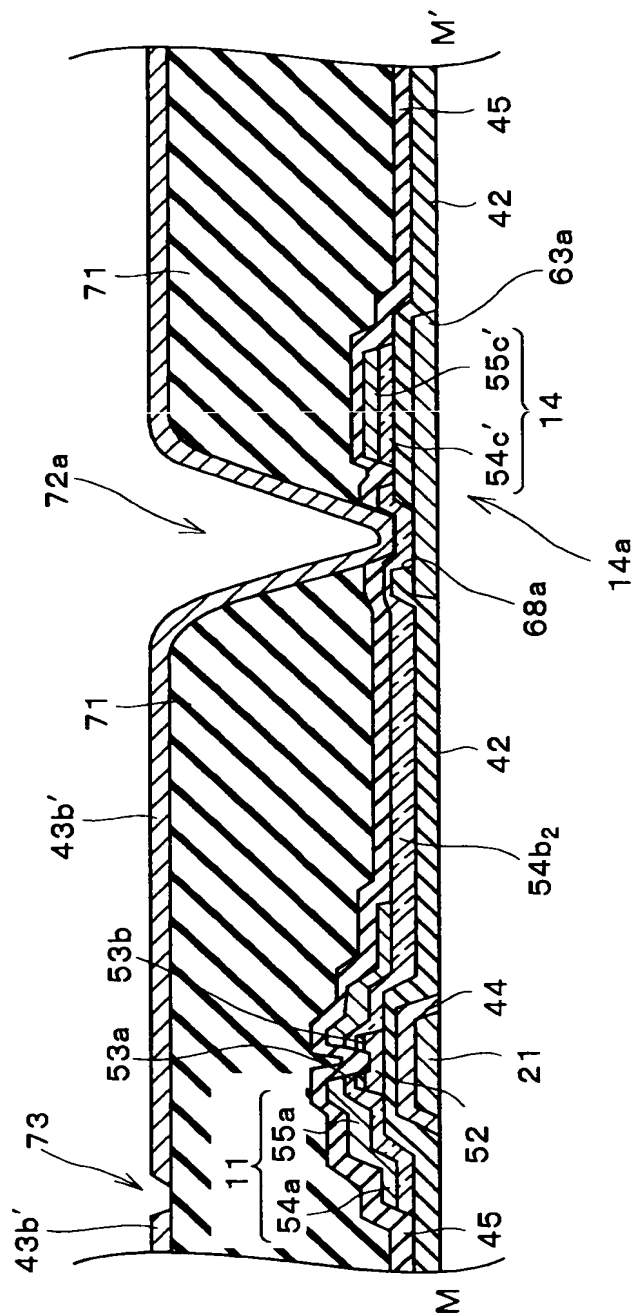
【図 25】



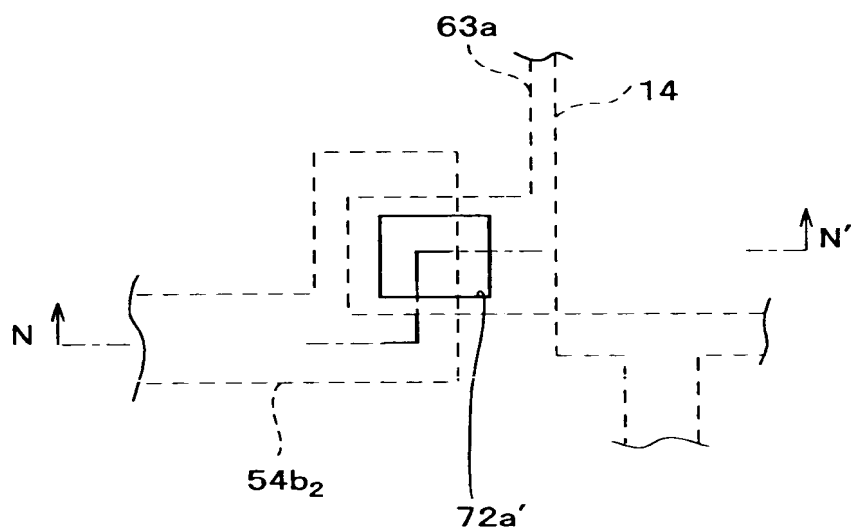
【図 26】



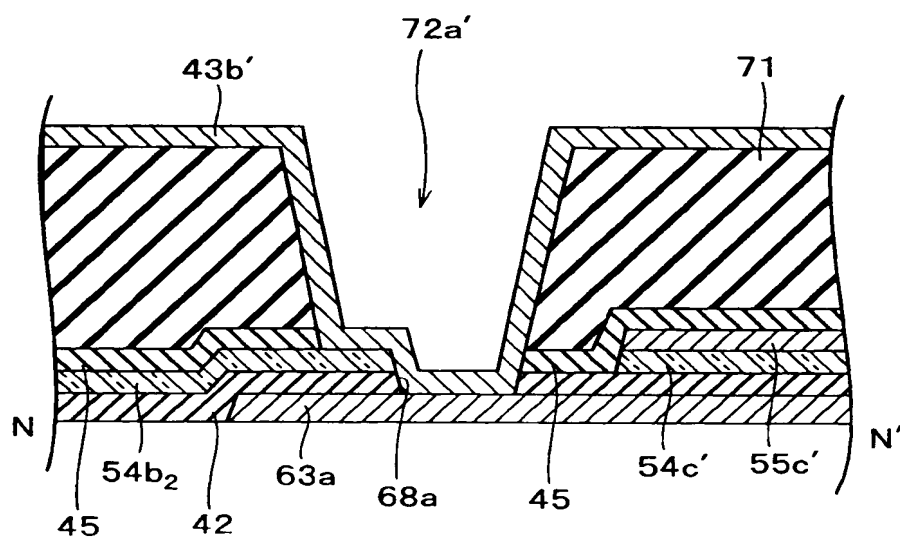
【図 27】



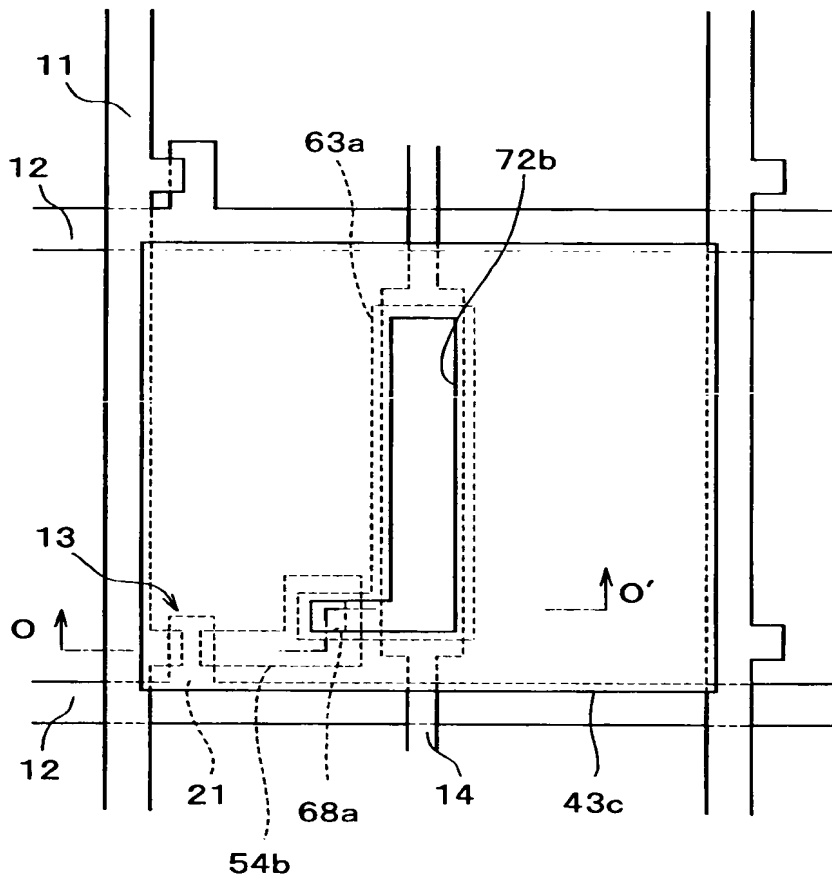
【圖 28】



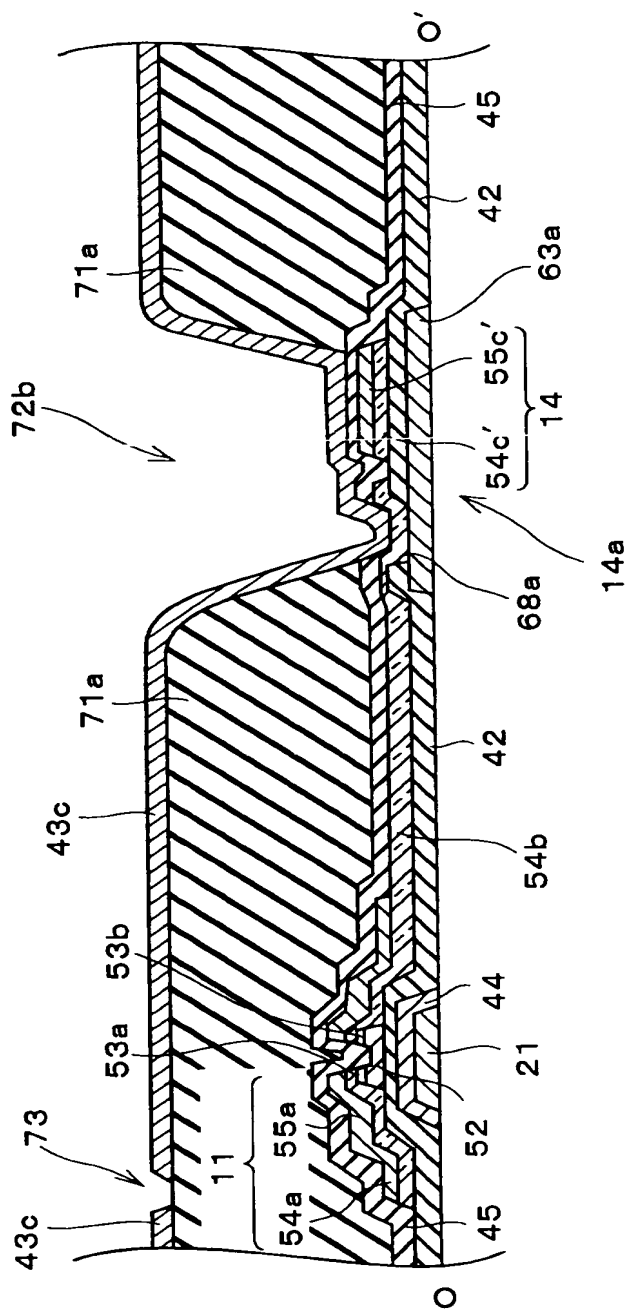
【図 29】



【図30】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板、およびその製造方法を、工程数の増加を伴うことなく提供すること。該アクティブマトリクス基板を用いてなるイメージセンサを提供すること。

【解決手段】 画素容量電極を兼ねる画素容量配線 1 4 と信号線 1 1 とは、同一の電極層をパターンニングすることにより互いに平行に形成される。すなわち、画素容量配線 1 4 の形成のために追加の工程を必要としない。また該構成によれば、画素容量配線 1 4 と信号線 1 1 とが互いに平行であるため信号線における信号伝達遅延および画素間のクロストークの発生を防止することができる。該アクティブマトリクス基板は、例えば液晶表示装置やイメージセンサ等のアクティブマトリクス基板として好適に使用できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社